



**Jorge Augusto  
Rodrigues de Oliveira**

**Células de referência de tensão CMOS com  
compensação de temperatura**



**Jorge Augusto  
Rodrigues de Oliveira**

**Células de referência de tensão CMOS com  
compensação de temperatura**

Dissertação apresentada à Universidade de Aveiro para cumprimento dos requisitos necessários à obtenção do grau de Mestre em Engenharia Electrónica e Telecomunicações, realizada sob a orientação científica do Doutor José Luís Vieira Cura, Professor Auxiliar do Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro, e do Doutor Luís Filipe Mesquita Nero Moreira Alves, Professor Auxiliar do Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro.

SDUA



312804

Aos meus pais e ao meu maninho.  
À minha namorada Valéria.  
A todos os meus familiares.  
A todos os meus amigos.

## **o júri**

presidente

**Professor Doutor Dinis Gomes de Magalhães dos Santos**

Professor Catedrático do Departamento de Electrónica, Telecomunicações e Informática da  
Universidade de Aveiro

**Doutor Pedro Nuno Mendonça dos Santos**

Instituto de Telecomunicações de Lisboa

**Professor Doutor José Luís Vieira Cura**

Professor Auxiliar do Departamento de Electrónica, Telecomunicações e Informática da  
Universidade de Aveiro

**Professor Doutor Luís Filipe Mesquita Nero Moreira Alves**

Professor Auxiliar do Departamento de Electrónica, Telecomunicações e Informática da  
Universidade de Aveiro

## **agradecimentos**

Os meus primeiros agradecimentos vão para os meus pais, por todos os esforços que fazem diariamente para me dar todas as condições para que possa ter uma vida feliz. Sem eles, não seria nem de perto a pessoa que sou hoje. Agradeço também ao meu maninho, que mesmo por vezes muito chatinho, é sempre uma boa companhia.

Agradeço à Valéria, a minha namorada. Ela que passou a maior parte do tempo comigo, enquanto escrevia a dissertação, dando-me alento nas alturas difíceis e muitos bons momentos nas alturas de maior descontração.

Como não poderia deixar de ser, agradeço aos meus orientadores, o Doutor José Luís Cura e o Doutor Luís Nero Alves, por todo o apoio demonstrado ao longo do trabalho, pelos conhecimentos partilhados, e pela disponibilidade que sempre demonstraram.

Agradeço à Universidade de Aveiro, mais particularmente ao Departamento de Electrónica, Telecomunicações e Informática e ao Instituto de Telecomunicações – Pólo Aveiro, pelas condições de trabalho disponibilizadas.

Por fim, mas nunca me esquecendo, a todos os meus colegas, que ao longo destes anos me proporcionaram momentos inesquecíveis, a todos eles a minha palavra de apreço.

Jorge Augusto Rodrigues de Oliveira

**palavras-chave**

Tensão de referência, bandgap, tecnologia CMOS.

**resumo**

Este trabalho de dissertação insere-se na área da electrónica analógica, e visa abordar o tema de células de referência de tensão com compensação de temperatura. Muitos dos circuitos analógicos da actualidade necessitam de obedecer a um conjunto de requisitos bastante exigente, sendo tradicional a necessidade destes circuitos funcionarem sobre gamas alargadas de variação de temperatura.

A principal motivação deste trabalho prende-se no facto de que fontes de tensão de referência são circuitos cada vez mais imprescindíveis na electrónica analógica, permitindo a correcta polarização de outros circuitos eléctricos sobre condições de temperatura adversas.

Deste modo, este trabalho foca-se no estudo das dependências das fontes de tensão de referência com a variação da temperatura. Aplicando depois esses conceitos no desenvolvimento das mesmas, permitindo assim fontes de tensão de referência cada vez mais estáveis em diferentes condições de temperatura.

**keywords**

Voltage reference, bandgap, CMOS technology.

**abstract**

This thesis presents aspects that are related with analog electronics, and aims to evaluate the issue of voltage reference cells with temperature compensation. Nowadays, many of the analog circuits need to obey to a set of very demanding requirements, being traditional the need of these circuits to work over extended ranges of temperature.

The main motivation of this work relates to the fact that voltage reference sources are circuits extremely important in analog electronics, allowing the correct polarization of other circuits on adverse temperature conditions.

Thus, this work is focused on the study of the dependencies of the voltage reference upon temperature variation. Applying then these concepts in their development, allowing voltage reference sources even more stable in different temperature conditions.

# Índice

---

<b>1</b>	<b>Introdução</b>	<b>1</b>
1.1	Fontes de tensão de referência	2
1.2	Objectivos	3
1.3	Metodologia	4
1.4	Estrutura da dissertação	4
<b>2</b>	<b>Estado da Arte</b>	<b>7</b>
2.1	O transistor MOSFET	8
2.1.1	Modo de operação do MOSFET	10
2.1.2	Modelo de funcionamento do MOSFET	10
2.1.3	Modulação do comprimento do canal	12
2.1.4	Operação do MOSFET em inversão fraca	12
2.2	Dependência dos transístores MOS com a temperatura	14
2.2.1	Dependência da tensão de limiar ( $V_{TH}$ ), com a temperatura	14
2.2.2	Dependência da mobilidade dos portadores ( $\mu$ ), com a temperatura	15
2.3	O porquê da tecnologia CMOS	16
2.3.1	Transístores bipolares em tecnologia CMOS	16
2.4	Fontes de tensão de referência	17
2.4.1	Fontes de tensão de referência de <i>bandgap</i>	17
2.4.2	Conceito básico	18
2.4.3	Fonte de tensão de referência <i>bandgap</i> de Widlar	19
2.4.4	Fonte de tensão de referência <i>bandgap</i> de Brokaw	20
2.4.5	Fonte de tensão de referência com compensação de curvatura	21
2.4.6	Fonte de tensão de referência a operar na região de inversão fraca	23
2.4.7	Fonte de tensão de referência baseada numa PTAT de corrente	25
2.5	Comentário final	27
<b>3</b>	<b>Simulação dos circuitos</b>	<b>29</b>
3.1	Tecnologia CMOS utilizada	29
3.2	Processo de circuitos integrados	30
3.3	Simulação de circuitos	32
3.3.1	Simulação da fonte de tensão de referência com compensação da modulação do comprimento do canal	33



3.3.1.1	Simulações	35
3.3.1.2	Resultados das simulações	37
3.3.1.3	Comentário global	41
3.3.2	Simulação da fonte de tensão de referência baseada numa PTAT de corrente	42
3.3.2.1	Simulações	44
3.3.2.2	Resultados das simulações	45
3.3.2.3	Comentário global	47
3.3.3	Simulação da fonte de tensão de referência baseada na tensão de limiar.	48
3.3.3.1	Simulações	50
3.3.3.2	Resultados das simulações	50
3.3.4	Simulação da fonte de tensão de referência a operar na região de inversão fraca	51
3.3.4.1	Simulações	52
3.3.4.2	Resultados das simulações	52
3.4	Comentário final	53
<b>4</b>	<b>Layout</b>	<b>57</b>
4.1	Regras de desenho	58
4.2	Desenho dos components	60
4.2.1	Desenho de um transístor	60
4.2.2	Desenho de uma resistência	62
4.3	Planificação e construção do layout	64
4.4	Testes	66
4.4.1	DRC	66
4.4.2	Extracção do circuito	66
4.4.3	LVS	67
4.5	Simulações	67
4.5.1	PVT	67
4.5.2	Resultados das simulações após extracção	68
4.6	Comentário final	70
<b>5</b>	<b>Conclusões</b>	<b>73</b>
5.1	Linhas de investigação futuras	74
	<b>Bibliografia</b>	<b>75</b>

# Capítulo 1

---

## Introdução

A constante evolução tecnológica com que nos deparamos, não só a nível dos computadores, das telecomunicações móveis, da medicina, como de quase tudo o que nos rodeia, teve como maior propulsor a indústria dos semicondutores. Tudo o que seja considerada alta tecnologia tem como base, pelo menos, um circuito integrado.

Muitos foram os eventos que marcaram a evolução do que hoje em dia é denominado de tecnologia VLSI (*Very Large Scale Integration*). O que actualmente chamamos FET (*Field Effect Transistor*), foi inicialmente pensado a nível teórico por Lilienfeld [1] e Heil [2] no início de 1930. No entanto, factores tecnológicos adiaram a utilização prática destes dispositivos, durante cerca de três décadas. Assim, a criação da microelectrónica, pode ser considerada apenas em 1947, quando três investigadores de nomes Shockley, Brattain e Bardeen introduziram o BJT (*Bipolar Junction Transistor*). A necessidade esmagadora, de vários watts de energia, e de centenas de volts aplicados em tubos de vácuo foi eliminada pela utilização de transístores, operando em gamas de dezenas de mili watts. A descoberta do transístor foi portanto de uma importância sem paralelo para a electrónica. Nos quinze anos que se seguiram, um grande número de diferentes BJTs foram produzidos e aplicados numa vasta gama de circuitos.

A capacidade de utilizar plenamente todas as funcionalidades da baixa potência que o transístor oferece, foi apenas possibilitada com a invenção do circuito integrado em 1958 por Jack Kilby [3], engenheiro da empresa *Texas Instruments*. Logo no ano

seguinte, Robert Noyce ligado à empresa *Fairchild*, reportou um procedimento que se assemelha mais aos circuitos integrados vistos nos dias de hoje [4]. A diferença entre os dois processos, é que no caso de Kilby, o circuito integrado foi feito numa placa de germânio, enquanto que no caso de Noyce, o circuito integrado teve como base o silício. A invenção destes dois engenheiros, teve um importante contributo para o desenvolvimento da tecnologia CMOS (*Complementary Metal-Oxide Semiconductor*), tecnologia mais utilizada hoje em dia. Alguns anos mais tarde, mais precisamente em 1965, Gordon Moore da *Intel Corporation*, suportou a ideia de que a capacidade de integração de transístores num só *chip* iria duplicar de dois em dois anos. A observação dele ficou conhecida como Lei de Moore [5] e é considerada de extraordinária, uma vez que ainda é válida actualmente (salvo ligeiras correcções).

O que permite à Lei de Moore, ainda permanecer válida actualmente são os melhoramentos das tecnologias. Estes melhoramentos vão desde melhorias nos materiais e fotolitografia, a avanços nos processos. Assim, muitos circuitos hoje em dia contêm um grande número de transístores muitas das vezes acima de um milhão. Este crescimento no número de componentes levou também a um grande investimento em métodos eficientes para tratar grandes quantidades de dados relativos aos circuitos. Modelos que conseguem prever com precisão o comportamento dos transístores tornaram-se indispensáveis. Por estas razões, nos dias que correm, as ferramentas disponíveis para o engenheiro de circuitos integrados são muito poderosas e dinâmicas, requerendo por vezes a utilização de vários computadores com especificações muito particulares.

### 1.1 Fontes de tensão de referência

Antes de 1970, os circuitos e sistemas electrónicos eram concebidos quase exclusivamente aplicando técnicas de desenho analógico e implementadas com componentes discretos. Com a introdução dos circuitos integrados, inicialmente aplicados sobretudo em sistemas digitais, rapidamente tornaram os circuitos digitais na base de muitos dos sistemas tal como hoje conhecemos. Em contrapartida, a aplicação de circuitos integrados no desenvolvimento de sistemas analógicos tem sido relativamente mais lento, embora este problema tenha ficado resolvido com a

possibilidade de integração dos dois tipos de aplicação no mesmo circuito integrado, como se verifica actualmente.

Como já foi referido anteriormente, o germânio foi o semiconductor utilizado na fabricação do primeiro circuito integrado. Este foi também amplamente usado como semiconductor nos primeiros dispositivos discretos. Contudo, o silício tem sido o material semiconductor dominante no fabrico de circuitos integrados durante as últimas décadas. A maioria dos peritos diz que assim continuará, mas, por outro lado, o arseneto de gálio tem ganho muita aceitação em alguns mercados, embora tendo a desvantagem de ser muito dispendioso.

Os primeiros e ainda mais importantes requisitos para dispositivos electrónicos de baixa potência são:

- a) Pequena ocupação de área e baixo peso;
- b) Longa vida operacional;
- c) Fiabilidade;
- d) Utilidade.

Aplicações analógicas e digitais em tecnologia CMOS têm como principais requisitos não só os referidos anteriormente, como também baixa sensibilidade com a alimentação e variações de temperatura. Estes requisitos exigem assim a utilização de boas fontes de tensão de referência. Com a evolução dos circuitos integrados analógicos, as fontes de tensão de referência têm também que melhorar o seu desempenho.

## 1.2 – Objectivos

De acordo com o que foi dito anteriormente, o crescente desenvolvimento dos circuitos integrados analógicos, juntamente com a constante diminuição nos tamanhos dos dispositivos, denominado por *scaling*, leva a um aumento das dificuldades na criação das tensões de referência. Quanto menor o tamanho dos dispositivos, menor deve ser a sensibilidade da tensão de referência, com a alimentação e variações de temperatura esperada.

O objectivo deste trabalho é o de optimizar as tensões de referência abordadas, tirando delas o melhor partido possível, não só a nível de funcionalidade, como a nível

de eficiência, tentando reduzir ao máximo os problemas criados pelas variações de temperatura [6].

## 1.3 – Metodologia

O objectivo primordial deste trabalho de dissertação assenta no teste de algumas das técnicas já existentes na criação de fontes de tensão de referência, em tecnologia de 350nm, nunca deixando de lado a oportunidade de criar uma tensão de referência inovadora, que consiga cumprir todas os requisitos anteriormente explicados, com uma eficiência superior.

Depois do teste dos esquemáticos se encontrar concluída, segue-se a escolha e criação de um desses circuitos em *layout*, para um melhor entendimento das regras de desenho e das capacidades parasitas originadas pela disposição dos componentes e das suas interligações. Foi utilizado para este efeito o *design-kit* providenciado pela AMS (*Austria Microsystems*), ao abrigo do protocolo existente entre a Universidade de Aveiro e a Europractice.

Depois desta barreira de testes ter sido ultrapassada, o circuito em causa poderia ser posteriormente produzido.

## 1.4 - Estrutura da Dissertação

A estrutura da dissertação encontra-se dividida em cinco capítulos.

No Capítulo 1, o tema da dissertação é introduzido com uma sucinta explicação da história da microelectrónica, e de como apareceram os primeiros circuitos integrados, dando maior relevância, aos circuitos integrados analógicos. São também explicados alguns dos objectivos e motivações para a escolha deste trabalho, seguido de uma pequena explicação de como os objectivos tentarão ser alcançados.

O Capítulo 2 inicia-se com a apresentação do comportamento das tensões de referência, sendo explicada a sua dependência com a temperatura. São também descritas as razões para a escolha da tecnologia CMOS para a elaboração das mesmas. Como não podia deixar de ser, é também descrito o princípio de funcionamento dos transístores, com especial atenção para a região de inversão fraca, muito aplicada no desenho de fontes de tensão de referência. De seguida, são apresentados alguns modelos e técnicas

para a elaboração destes dispositivos, sendo este capítulo terminado por uma pequena conclusão relativamente aos circuitos abordados.

O estudo prático das fontes de tensão de referência é o tema central do Capítulo 3. Neste capítulo, vai ser estudada a dependência da tensão de saída de um dado circuito, quando a temperatura e a alimentação variam, sendo apresentadas algumas técnicas para a redução dos seus efeitos. O desenho dos circuitos e a simulação dos mesmos foi efectuado através do ambiente do *Cadence*, no simulador *Spectre*. A teoria sobre cada dispositivo é também apresentada no decorrer de cada estudo.

O Capítulo 4 tem como objectivo, a criação e teste do *layout* de um dos circuitos estudados no capítulo anterior. Neste capítulo, são exploradas técnicas para o desenho do *layout* de circuitos analógicos. Inicialmente é explicada a composição de um *layout*, e a funcionalidade dos vários tipos de metais, das várias camadas e dos vários tipos de contactos para a interligação destes diferentes componentes. Seguidamente são descritas as regras de desenho e as vantagens da utilização das mesmas para um maior rendimento e uma maior fiabilidade no produto final, não esquecendo a sua influência na estrutura e dimensionamento do *layout*. São por fim apresentados os resultados obtidos na simulação do circuito e as diferenças destes resultados para os obtidos no teste do circuito esquemático.

No Capítulo 5, é resumido o trabalho. São apresentadas conclusões finais relativamente a todo o trabalho efectuado e incluído ao longo dos diversos capítulos. Por fim, são dadas algumas indicações sobre o que pode ser efectuado para melhorar os resultados obtidos.



## Capítulo 2

---

### Estado da Arte

Actualmente, baixo consumo de potência, pequena ocupação de área, baixa sensibilidade com a alimentação e variações de temperatura são requisitos amplamente necessários tanto em circuitos analógicos como digitais. Na maioria destes circuitos é necessário usar uma fonte de tensão de referência para obter estes requisitos.

Idealmente, uma fonte de tensão de referência é um dispositivo ou componente electrónico que produz uma tensão constante que não depende da carga, da fonte de alimentação ou mesmo da temperatura a que o dispositivo esteja sujeito.

Claro que o que foi dito anteriormente, em que a tensão desejada à saída não seria alterada com variações na temperatura, na carga ou na alimentação não é totalmente verdade, uma vez que, especialmente com variações na temperatura, todos os componentes electrónicos sofrem ligeiras variações nas suas características. Torna-se portanto necessário um estudo mais aprofundado dos circuitos que produzem tensões de referência em relação a alterações com a temperatura.

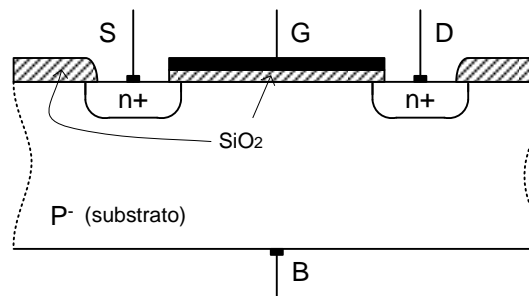
O circuito mais usado como fonte de tensão de referência em circuitos electrónicos é conhecido como fonte tensão de referência de *bandgap*.



## 2.1 - O transístor MOSFET

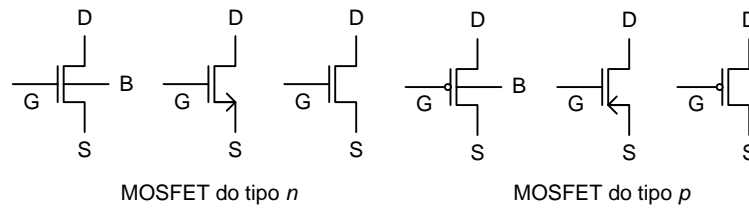
O transístor MOSFET (*Metal-Oxide Semiconductor Field-Effect Transistor*), é o dispositivo mais utilizado actualmente no fabrico tanto de circuitos integrados analógicos, como digitais.

A estrutura básica de um MOSFET do tipo  $n$  é mostrada na Figura 2.1. Este dispositivo de quatro terminais, consiste de um substrato do tipo  $p^-$ , no qual, duas regiões  $n^+$  de difusão, o dreno e a fonte são formadas. A superfície da região do substrato entre o dreno e a fonte é coberta por uma fina camada de óxido de silício. A porta de metal (ou polisilício) é depositada sobre o óxido. A secção intermédia do dispositivo pode ser facilmente reconhecida como a estrutura básica MOS (*Metal-Oxide Semiconductor*). As duas regiões  $n^+$  serão responsáveis pela condução da corrente aos terminais do dispositivo. É de notar que a estrutura do dispositivo é perfeitamente simétrica em relação às regiões do dreno e da fonte e que os diferentes papéis destas duas regiões serão definidos apenas juntamente com a tensão aplicada à porta e a direcção em que flui a corrente.



**Figura 2.1** – Estrutura física de um MOSFET do tipo  $n$ .

Um canal será eventualmente formado através da aplicação de uma tensão na porta, isto é, na região do dispositivo que se encontra entre a região de difusão do dreno e a região de difusão da fonte. A distância entre estas duas regiões de difusão, é denominado de comprimento do canal  $L$  (*Length*), e a extensão lateral do canal, perpendicular ao comprimento do canal denominada de largura do canal  $W$  (*Width*). Estes dois parâmetros, comprimento e largura do canal são muito importantes, sendo usados para controlar muitas das propriedades eléctricas do MOSFET. A espessura da camada de óxido que cobre a região do canal,  $t_{ox}$ , é também um parâmetro de grande importância.



**Figura 2.2** – Símbolos para MOSFETs de enriquecimento.

Podemos dividir os transístores MOS em dois grandes tipos:

- Enriquecimento, no qual, é criado um canal de condução depois de aplicada na porta uma tensão superior a um dado valor limite;
- Depleção, no qual um canal de condução já existe mesmo na ausência de qualquer tensão aplicada na porta.

Num transístor MOS com um substrato do tipo  $p^-$ , e as regiões de dreno e da fonte  $n^+$ , a região do canal formado na superfície é do tipo  $n$ . Por isso, um dispositivo com um substrato do tipo  $p^-$  é denominado de MOSFET de tipo de canal  $n$ . Num transístor com um substrato do tipo  $n^-$ , e com as regiões do dreno e da fonte  $p^+$ , por outro lado a região do canal formado na superfície é do tipo  $p$ , e por isso um dispositivo deste tipo é denominado de MOSFET de tipo de canal  $p$  [7].

As abreviações usadas nos terminais dos símbolos da Figura 2.2 são: G (*Gate*) para porta, D (*Drain*) para o dreno, S (*Source*) para a fonte e B (*Body*) para o substrato. De notar que a representação simbólica dos transístores com quatro terminais, mostra todos os terminais externos do dispositivo, o que vai ser largamente visto no capítulo três, uma vez que na representação esquemática dos circuitos é de muita importância a correcta ligação do substrato. Normalmente nos transístores MOS do tipo  $p$  o substrato é ligado à alimentação, enquanto, que nos transístores MOS do tipo  $n$ , o substrato é ligado à massa. Também de salientar que na representação simbólica dos transístores com três terminais que a seta indica o terminal da fonte.

Num transístor MOS do tipo  $n$ , a fonte é definida como a região  $n^+$  com menor potencial comparativamente com a outra região  $n^+$  o dreno. Por convenção, todos os terminais do dispositivo são definidos com respeito ao potencial da fonte [7]. Assim, a tensão entre a porta e a fonte é denotada por  $V_{GS}$ , a tensão entre o dreno e a fonte por  $V_{DS}$  e a tensão entre o substrato e a fonte por  $V_{BS}$ .

### 2.1.1 – Modo de operação do MOSFET

O modo de operação do MOSFET encontra-se relacionado com o grau de inversão do canal [8]. Verifica que, tendo os terminais da fonte e do dreno ligados à massa e induzindo uma tensão positiva na porta, as cargas positivas situadas por baixo da porta são repelidas, originando uma acumulação de electrões minoritários nessa zona, o que é responsável pela inversão do canal. A tensão induzida na porta, leva a que os electrões que se encontravam nas regiões  $n^+$  do dreno e da fonte, fossem atraídos para o canal por baixo da porta, sendo assim criado um canal  $n$  ligando estas duas regiões. Por esta razão, de seguida caso seja aplicada uma tensão positiva entre o dreno e a fonte, uma corrente irá fluir nesse mesmo canal. Uma vez que o canal é criado invertendo a superfície do substrato do tipo  $p$  para  $n$ , este canal é designado por camada de inversão [8].

No que toca ao grau de inversão do canal, este divide-se em três partes [8]

- a) Inversão fraca, quando o canal ainda não se encontra formado, o que implica que a região do substrato por baixo da porta se encontra fracamente invertida;
- b) Inversão moderada, que se encontra entre a inversão fraca e a inversão forte do canal;
- c) Inversão forte, quando o canal já se encontra formado.

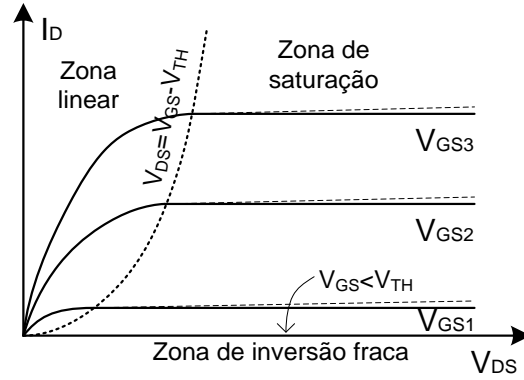
### 2.1.2 – Modelo de funcionamento do MOSFET

Em ordem a que seja possível derivar o modelo de funcionamento do MOSFET, parte-se do pressuposto que o canal de inversão depende da tensão aplicada na porta. Considera-se então que a partir de uma certa tensão aplicada na porta,  $V_{TH}$ , designada por tensão de limiar, ocorre a inversão forte do canal, enquanto, que abaixo desse mesmo limiar não existe camada de inversão, apenas uma pequena corrente, como vai ser explicado no próximo ponto.

O MOSFET possui três diferentes regimes de funcionamento: corte, linear, também conhecido por tródo e saturação [8, 9, 10].

A região de corte é considerada quando  $V_{GS} < V_{TH}$ . Nesta região a corrente entre o dreno e a fonte,  $I_{DS}$ , é quase nula, uma vez que como foi explicado anteriormente, o canal induzido ainda não conseguiu atingir a inversão desejada. Esta inversão, é apenas

alcançada depois de a tensão  $V_{GS}$  atingir a tensão de limiar  $V_{TH}$ . Quando isto acontece, ocorre a inversão forte, dando origem a criação do canal de inversão. Assim, quando a tensão  $V_{GS}$  se encontra superior à tensão  $V_{TH}$  e para pequenos valores da tensão  $V_{DS}$ , existe condução, encontrando-se



**Figura 2.3** – Característica I-V do MOSFET.

assim o MOSFET a operar na região linear, passando mais tarde para a região de saturação com o aumento da tensão  $V_{DS}$ . No caso em que  $V_{DS} < V_{GS} - V_{TH}$ , o transistor encontra-se a operar na região linear, sendo a sua característica tensão-corrente dada pela expressão do modelo quadrático de Harold Shichman e David Hodges [11]:

$$I_{DS} = k_n' \frac{W}{L} \left[ (V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] = k_n \left[ (V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.1)$$

Na expressão pode ver-se a dependência da corrente no MOSFET com os valores de,  $W$  (largura do canal),  $L$  (comprimento do canal) e  $k_n'$  sendo o parâmetro de trancondutância do processo, a qual é dada pela expressão:

$$k_n' = \mu_n C_{ox} = \mu_n \frac{\epsilon_{ox}}{t_{ox}} \quad (2.2)$$

Onde  $\mu_n$  é a mobilidade dos electrões,  $C_{ox}$  a capacidade por unidade de área do óxido da porta,  $\epsilon_{ox}$  a permitividade e  $t_{ox}$  a espessura do óxido da porta. Para o caso de valores pequenos de  $V_{DS}$ , o factor quadrático visto na expressão (2.1) é negligenciado, sendo que neste caso, o transistor terá um comportamento idêntico ao de uma resistência, uma vez que estaremos perante uma dependência quase linear entre  $V_{DS}$  e  $I_{DS}$ . No caso de valores superiores de  $V_{DS}$ , a corrente  $I_{DS}$  irá aumentar com o aumento de  $V_{DS}$  até ao ponto de estabilizar próximo de um valor constante. Esta situação pode ser vista na Figura 2.3. Quando isto acontece, significa que o transistor se encontra na região de saturação, sendo a sua característica tensão-corrente dada pela expressão:

$$I_{DS} = \frac{k_n}{2} (V_{GS} - V_{TH})^2 \quad (2.3)$$

Nesta equação é de salientar que a corrente  $I_{DS}$  é independente da tensão  $V_{DS}$ , comportando-se o transistor como uma fonte de corrente dependente de  $V_{GS}$ .

### 2.1.3 – Modulação do comprimento do canal

As equações que descrevem o modelo de funcionamento de um MOSFET especificadas anteriormente, levam a que se possa pensar, que na região de saturação, a corrente  $I_{DS}$ , vai-se manter constante independentemente da tensão que lhe seja aplicada aos terminais. Isto na realidade não é verdade, uma vez que para a obtenção dessas equações não foi levado em conta, de que alterações na tensão  $V_{DS}$  irão implicar também alterações a nível do comprimento do canal. O comprimento do canal é modificado com a variação da tensão  $V_{DS}$ , isto porque, na região de saturação, aumentando a tensão  $V_{DS}$  irá provocar um aumento na região de depleção junto ao dreno, o que levará a uma consequente diminuição do comprimento efectivo do canal de inversão [9].

Para canais longos, esta variação no comprimento do canal, vai ter uma menor influência. No entanto, para canais curtos, esta variação no comprimento do canal vai ter uma influência bastante acentuada. Este é uma consequência cada vez mais importante, uma que vez que com a evolução das tecnologias, as dimensões dos dispositivos vão ser cada vez menores, levando a que os efeitos da modulação do comprimento do canal sejam consequentemente cada vez mais relevantes. Uma aproximação para a corrente  $I_{DS}$  levando em conta a modulação do comprimento do canal é dada por:

$$I_{DS} = \frac{k_n}{2} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2.4)$$

Na qual,  $\lambda$  é o factor de modulação do comprimento de canal, inversamente proporcional ao  $L$  do transistor. O termo  $(1 + \lambda V_{DS})$  torna a característica tensão corrente um pouco diferente, onde a recta característica da região de saturação tem agora uma ligeira inclinação.

### 2.1.4 - Operação do MOSFET em inversão fraca

No ponto anterior, foi dito que a corrente de dreno para uma tensão positiva  $V_{DS}$  era assumida nula, ou desprezável, para  $V_{GS} < V_{TH}$ , e não zero para  $V_{GS} > V_{TH}$ . Na prática, isto não acontece. Uma transição tão rápida não ocorre experimentalmente nos

dispositivos. A corrente ao invés de cair de uma forma abrupta para zero, decai sim de uma forma exponencial, similarmente ao funcionamento de um transistor bipolar [12]. A corrente de dreno é no entanto muito inferior para  $V_{GS} < V_{TH}$  do que no caso de  $V_{GS} > V_{TH}$ , e por isso em muitas aplicações, a conclusão de que esta corrente é nula ou desprezável para  $V_{GS} < V_{TH}$  é justificável.

No entanto existem muitas outras aplicações, em que níveis de corrente extremamente baixos são cruciais [13, 14]. Estas incluem, principalmente dispositivos que devem operar durante vários anos com pequenas baterias não recarregáveis. Nestes casos é necessário que dispositivos se encontrem a trabalhar na região de inversão fraca (*subthreshold*). A corrente de dreno nesta região pode ser dada aproximadamente pela expressão [12]

$$I_D = I_S e^{\frac{V_{GS}}{n k T / q}} \left( 1 - e^{-\frac{V_{DS}}{k T / q}} \right) (1 + \lambda V_{DS}) \quad (2.5)$$

Na qual  $I_S$  é a corrente de saturação, a qual duplica o seu valor para cada 5 °C de aumento de temperatura e  $n$  é o coeficiente de emissão, um valor empírico que depende do processo de fabrico, podendo variar entre 1 e 2, e tipicamente tendo o valor de 1.5 [8].

À temperatura ambiente, a transição entre inversão fraca e forte, acontece por volta de  $V_{GS} \approx V_{TH} + 100mV$ . A expressão

$$V_{GS} = V_{TH} + 2nV_T \quad (2.6)$$

Onde  $n$  é o coeficiente de emissão, que como foi dito anteriormente varia entre 1 e 2, pode ser utilizada para prever as transições a outras temperaturas [15]. O termo  $V_T$  é a tensão térmica, sendo dada por  $kT/q$ , onde  $k$  é a constante de Boltzmann,  $T$  é a temperatura do dispositivo em graus Kelvin e  $q$  é a carga do electrão. À temperatura ambiente,  $V_T = 26 mV$ .

A corrente de inversão fraca tem algumas repercussões importantes. Em geral, o desejável, é que a corrente que atravessa o transistor seja o mais próximo possível de zero, quando  $V_{GS} = 0$ . Isto é especialmente importante em circuitos dinâmicos, os quais dependem muito do armazenamento da carga num condensador, cuja operação pode ser severamente degradada pela corrente de fuga na inversão fraca.

## 2.2 - Dependência dos transístores MOS com a temperatura

A dependência com a temperatura dos transístores MOS (*Metal-Oxide Semiconductor*) faz-se sentir especialmente em dois parâmetros:

- i) a tensão de limiar ( $V_{TH}$ );
- ii) a mobilidade dos portadores ( $\mu$ ).

Em ambos os casos, estes parâmetros decrescem com a temperatura [8], o que provoca algumas alterações nas características dos transístores. A dependência destes parâmetros com a temperatura será discutida separadamente.

### 2.2.1 – Dependência da tensão de limiar ( $V_{TH}$ ), com a temperatura

A função que nos relaciona o  $V_{TH}$  com a temperatura é dada por [8]:

$$V_{TH}(T) = V_{TH}(T_0) + \alpha_{VTH}(T - T_0) \quad (2.7)$$

Onde  $T_0$  é a temperatura de referência,  $T$  é a temperatura actual e  $\alpha_{VTH} = \partial V_{TH} / \partial T$  é o coeficiente de temperatura. O valor de  $\alpha_{VTH}$  é negativo [8], variando normalmente entre  $-1\text{mV}/^\circ\text{C}$  e  $-4\text{mV}/^\circ\text{C}$ , onde o valor frequentemente utilizado é de  $-2\text{mV}/^\circ\text{C}$ . Estes valores são muito difíceis de inferir, uma vez que  $\alpha_{VTH}$  é um parâmetro extraído a partir de modelos [16]. A partir de [16], também se pode concluir que nada estipula que  $\alpha_{VTH}$  deva ser uma constante. Uma estimativa de  $\alpha_{VTH}$  pode ser encontrada em [17,18]. Em concordância com [18], a expressão geral do  $V_{TH}$  para transístores de canal longo sem polarização do substrato é dada por:

$$V_{TH} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + 2\phi_F + \Delta V_{TH}(N_i) + \gamma(N_s, t_{ox}, L, W) \cdot \sqrt{2\phi_F + V_0} \quad (2.8)$$

Nesta expressão,  $\phi_{ms}$  é a diferença de potencial dos contactos entre a porta e o substrato,  $Q_{ss}$  é a carga por unidade de área,  $\phi_F$  é o potencial de Fermi do substrato, e  $\Delta V_{TH}(N_i)$  é a variação da tensão de limiar devido ao implante de canal  $N_i$  com uma profundidade  $d_i$ . Assim  $\gamma$  é a constante de efeito de corpo que depende da dopagem do substrato  $N_s$ , da espessura do óxido da porta  $t_{ox}$ , do comprimento do canal  $L$ , e da largura  $W$  do

mesmo. Por fim,  $V_0$  ( $N_i$ ,  $N_s$ ,  $d_i$ ) é um termo de correcção para a mudança do ponto inicial. Para dispositivos que possuam um  $\Delta V_{TH}$  do mesmo tipo que a do substrato,  $V_0$  tem um sinal oposto ao do  $\phi_F$ . Quando uma porta de silício do tipo  $n$  é aplicada, os dispositivos CMOS com canal do tipo  $n$ , pertencem ao caso anteriormente descrito.

Os únicos factores que podem sofrer alterações com a temperatura no  $V_{TH}$  são  $\phi_{ms}$  e  $\phi_F$ . Assim o coeficiente de temperatura da  $V_{TH}$  pode ser dada por:

$$\alpha_{V_{TH}} = \frac{\partial V_{TH}}{\partial T} = \frac{\partial \phi_{ms}}{\partial T} + 2 \frac{\partial \phi_F}{\partial T} + \frac{\gamma}{\sqrt{2\phi_F + V_0}} \cdot \frac{\partial \phi_F}{\partial T} \quad (2.9)$$

### 2.2.2 – Dependência da mobilidade dos portadores ( $\mu$ ), com a temperatura

Considerando agora a dependência com a temperatura da mobilidade dos portadores. A função que nos relaciona a  $\mu$  com a temperatura é dada por [19]:

$$\mu(T) = \mu(T_0)(T / T_0)^{\alpha_\mu} \quad (2.10)$$

Sendo,  $T_0$  a temperatura de referência e  $T$  a temperatura actual. O valor de  $\alpha_\mu$ , da mesma forma que  $\alpha_{V_{TH}}$  é um valor extraído através de uma caracterização experimental, e é considerado independente da temperatura [19]. Na maioria dos casos o valor adoptado é de  $\alpha_\mu = -1.5$ . Para semicondutores não polares (materiais semicondutores com bandas proibidas maiores que 1 ou 2 eV), tais como o silício, para efeitos teóricos,  $\mu$  é dado por [17]:

$$\mu_\alpha \propto (m_e)^{-5/2} T^{-3/2} \quad (2.11)$$

Onde  $m_e$  é a massa efectiva do electrão. No entanto, a mobilidade pode não decrescer como foi previsto em (2.11). A investigação dos declives efectuada em [17] mostra não só isso, mas também que  $\alpha_\mu$  não é uma constante. Para o desenho dos circuitos, obteve-se então a aproximação

$$\alpha_\mu = \alpha_{\mu 0} + \alpha_{\mu 1} \left( \frac{\Delta T}{T_0} \right) \quad (2.12)$$

Na qual, através de simulações foi concluído em [6] que para transístores de canal  $n$ ,  $\alpha_{\mu 0}$  e  $\alpha_{\mu 1}$  são ambos negativos e variam de  $-2.1 \leq \alpha_{\mu 0} \leq -1.9$  e  $-0.05 \leq \alpha_{\mu 1} \leq -0.01$ .



## 2.3 - O porquê da tecnologia CMOS

O desenvolvimento da tecnologia dos circuitos integrados sempre cresceu com o intuito de se construir os mesmos circuitos cada vez em menor área e aumentando tanto o seu desempenho como a sua fiabilidade. Quando falamos de circuitos integrados, falamos de uma grande quantidade de tecnologias que foram sendo desenvolvidas ao longo dos anos, cada uma das quais com especificidades e aplicações diferentes. As tecnologias mais usadas no fabrico destes circuitos são a tecnologia bipolar, a tecnologia MOS, a tecnologia CMOS, a tecnologia BiCMOS e a tecnologia GaAs.

A tecnologia bipolar foi inicialmente desenvolvida para produtos comerciais em circuito integrado, mas já de há alguns anos para cá, a tecnologia CMOS tornou-se cada vez mais importante no fabrico de circuitos integrados. A tecnologia GaAs é uma tecnologia extremamente rápida, mas o seu custo de produção é muito elevado tornando a sua aplicação muito limitada. Comparando com os circuitos integrados fabricados a partir de outras tecnologias, os fabricados em tecnologia CMOS apresentam algumas vantagens:

- i) A tecnologia CMOS é uma tecnologia que não obriga a muitos custos financeiros, uma vez que permite uma menor ocupação de área;
- ii) A tecnologia CMOS permite uma muito menor dissipação de potência, uma vez que esta não tem quase que nenhuma dissipação de potência estática, pois a potência é apenas dissipada no caso em que o circuito realmente comuta.

Por estas razões a tecnologia CMOS é a preferida para o fabrico da maior parte das fontes de referência *bandgap*.

### 2.3.1 – Transístores bipolares em tecnologia CMOS

Os transístores bipolares possuem certas vantagens sobre os transístores MOS, entre as quais, tem uma maior capacidade para “atacar” cargas capacitivas, maior transcondutância para uma dada corrente, menor ruído  $1/f$  e uma melhor correspondência a nível das características eléctricas.

Mesmo com o desenvolver dos transístores MOS e com o crescente domínio da tecnologia CMOS sobre as restantes, muitos circuitos continuam a necessitar da aplicação de transístores bipolares para o seu funcionamento. Assim em 1969 [21], foi demonstrado que qualquer processo CMOS é compatível com a fabricação de um transístor bipolar de um tipo, sem que seja necessário o recurso a mais passos no processo.

Existem 2 tipos de processos em CMOS: o processo *n-well* e o processo *p-well*. Os dois tipos de transístores bipolares disponíveis deste modo diferem para estes dois processos. Para o processo CMOS *n-well*, transístores laterais *pn*p e de substrato vertical *pn*p estão disponíveis. Por outro lado para o processo CMOS *p-well*, transístores laterais *np*n e de substrato vertical *np*n estão disponíveis.

## 2.4 – Fontes de tensão de referência

Tanto os transístores bipolares como os MOSFETs podem ser usados na implementação de fontes de tensão de referência. Muito trabalho de pesquisa foi feito na caracterização das propriedades dos transístores bipolares e MOS [10]. As características dependentes da temperatura dos transístores têm que ser aplicadas no desenho dos circuitos, e então como era mais fácil de modelar e controlar as características de temperatura dos transístores bipolares, estes foram usados como os componentes básicos das fontes de tensão de referência. No entanto, com a actual predominância dos circuitos CMOS, é importante criar a reconversão deste tipo de circuitos para CMOS. Este trabalho já se tem vindo a desenvolver de há uns anos para cá, com a obtenção de bons resultados.

### 2.4.1 – Fonte de tensão de referência de *bandgap*

As fontes de tensão de referência de *bandgap*, têm sido desenvolvidas desde os primórdios do desenvolvimento da indústria de semicondutores.

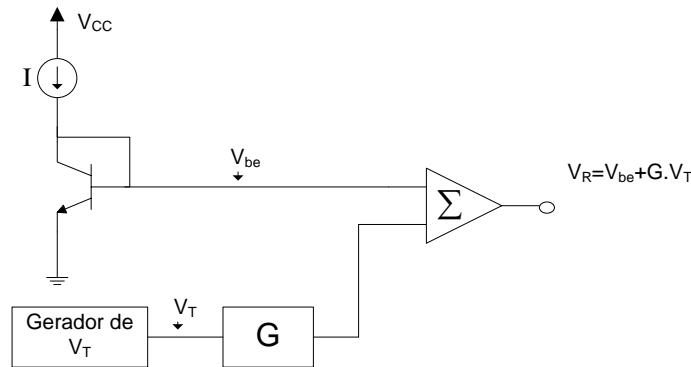
Hoje em dia os materiais semicondutores usados com mais frequência são o silício (Si), o germânio (Ge) e o arseneto de gálio (GaAs). Comparativamente com o Ge e o GaAs, o silício apresenta algumas vantagens importantes. Em primeiro lugar, é um dos elementos mais abundantes à face da terra. Em segundo lugar, o seu óxido, SiO<sub>2</sub> é um excelente isolador. Em terceiro lugar, a banda proibida do silício, isto é a diferença de

energia entre a banda de valência e a banda de condução é 1.12eV, maior que a do germânio que se encontra perto dos 0.72eV. Também a temperatura máxima de funcionamento do silício é 200°C, enquanto, que a do germânio ronda apenas os 85°C. Por estas razões, a maioria dos semicondutores são produzidos em silício.

Para o desenho de fontes de tensão de referência de *bandgap*, temos que ter em atenção o comportamento das junções com a temperatura. A dependência do sinal de saída com a temperatura tem que ser minimizada o mais possível.

### 2.4.2 - Conceito básico

Como foi anteriormente dito, o princípio básico de uma fonte de referência, baseia-se num circuito que seja o mais possível independente de quaisquer elementos externos a que esteja sujeito. A base desse circuito pode ser observada na Figura 2.4 [10], a qual funciona da seguinte forma:



**Figura 2.4** – Tensão de referência genérica.

Uma tensão base-emissor,  $V_{be}$ , é gerada através de uma junção PN de um díodo, a qual possui um coeficiente de temperatura conhecido à temperatura ambiente. Por outro lado, uma tensão térmica  $V_T$  é também gerada. Esta  $V_T$  possui também um coeficiente de temperatura à temperatura ambiente. Caso esta tensão  $V_T$  seja multiplicada por um factor  $G$  (ganho) e depois somada com a tensão  $V_{be}$ , o resultado visto na saída será:

$$V_R = V_{be} + G.V_T \quad (2.13)$$

O factor de ganho,  $G$ , pode ser ajustado para que seja possível obter um valor para o coeficiente de temperatura zero em  $V_R$ . Esta não parece ser uma tarefa muito árdua quando nos referimos a apenas uma temperatura. O problema encontra-se quando o

objectivo é alcançar uma fonte de tensão de referência de *bandgap* com um coeficiente de temperatura zero ao longo de uma gama de temperaturas.

A fonte de tensão de referência da Figura 2.4 pode ser implementada tanto em tecnologia bipolar, como em CMOS [10]. O cancelamento exacto da dependência com a temperatura, da fonte de tensão de referência não será perfeitamente sucedido, devido não só às tolerâncias dos componentes, mas também pelos efeitos de segunda ordem tais como a não linearidade da dependência da tensão base-emissor com a temperatura, os quais não foram levados em consideração.

### 2.4.3 – Fonte de tensão de referência *bandgap* de Widlar

A Figura 2.5 mostra uma das primeiras versões de uma fonte de tensão de referência de *bandgap* [21], desenvolvida por Robert J. Widlar, a qual ficou conhecida pelo nome do próprio autor. Widlar chegou à conclusão de que aumentando o  $V_{CC}$  a partir de 0 V,  $Q_1$  e  $Q_2$  conduzem quando  $V_{be1}$  é aproximadamente 0.7V. Uma vez que  $R_2$  é maior que  $R_1$ ,  $Q_2$  satura. O contínuo aumento de  $V_1$  devido ao aumento de  $V_{CC}$  leva a que  $Q_2$  saia da saturação devido a  $R_3$ . O circuito irá estabilizar quando  $V_{be3}$  for igual a  $V_{be}$  (ligado). Podemos observar que os transístores  $Q_1$ ,  $Q_2$  e a resistência  $R_3$  formam um espelho de corrente Widlar. A corrente  $I_2$  é descrita da forma:

$$I_2 = \frac{V_T}{R_3} \cdot \ln\left(\frac{I_1}{I_2}\right) \quad (2.14)$$

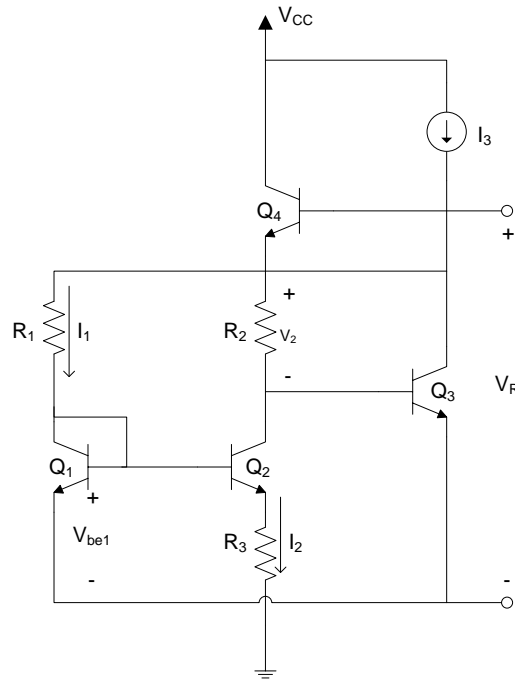
Pela equação (2.14) podemos retirar que a tensão  $V_{TH}$  é gerada pela diferença entre duas quedas de tensão entre base e emissor. Por conseguinte a tensão de referência do circuito é:

$$V_R = V_{be} + \left(\frac{R_2}{R_3}\right) V_T \cdot \ln\left(\frac{I_1}{I_2}\right) \quad (2.15)$$

Comparando (2.15) com (2.13) chega-se a que o valor de  $G$  deve ser ajustado para:

$$G = \left(\frac{R_2}{R_3}\right) \cdot \ln\left(\frac{I_1}{I_2}\right) \quad (2.16)$$

Este circuito apresenta alguns problemas, entre eles, o de apenas possuir coeficientes de temperatura zero em torno de uma temperatura nominal e a dependência de  $I_3$  da fonte de alimentação.



**Figura 2.5** – Fonte de tensão de referência de Widlar.

#### 2.4.4 – Fonte de tensão de referência *bandgap* de Brokaw

Uma tensão de referência de *bandgap* melhorada, pode ser construída com a aplicação de um amplificador operacional, como se pode ver na Figura 2.6 (a) e Figura 2.6 (b). Esta fonte de tensão de referência é denominada por “fonte de tensão de referência de Brokaw”, mais uma vez herdando o nome do seu autor. Uma grande vantagem deste circuito, encontra-se, na não dependência das correntes com a fonte de alimentação, o que não acontecia no caso anterior da tensão de referência de Widlar. Essa não dependência pode ser obtida forçando a relação:

$$I_1 \cdot R_1 = I_2 \cdot R_2 \quad (2.17)$$

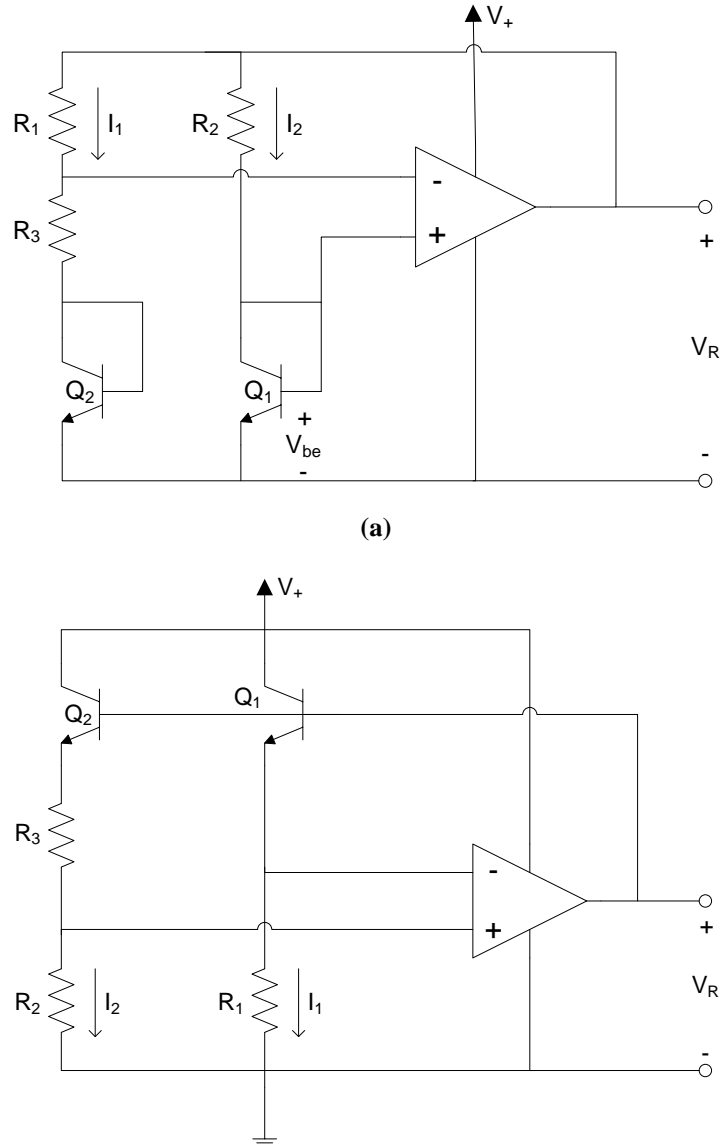
E substituindo  $I_1/I_2$  no argumento do logaritmo por  $R_2/R_1$ , o qual é independente da fonte de tensão. O desempenho de ambos os circuitos é muito semelhante. A corrente  $I_2$  pode ser encontrada escrevendo a equação da tensão em torno de  $V_{be1}$ ,  $V_{be2}$  e  $R_3$ :

$$I_2 = \frac{V_{TH}}{R_3} \cdot \ln \left( \frac{R_2 \cdot I_2}{R_1 \cdot I_1} \right) \quad (2.18)$$

E a tensão de referência é expressa na forma:

$$V_R = V_{be1} + I_2 \cdot R_2 = V_{be1} + \frac{R_2}{R_3} \cdot V_T \cdot \ln \left( \frac{R_2 \cdot I_2}{R_1 \cdot I_1} \right) \quad (2.19)$$

Esta expressão é muito similar a (2.13). As áreas dos emissores dos transístores  $Q_1$  e  $Q_2$  são usados para o cálculo do argumento do logaritmo.



**Figura 2.6 – (a)** Fonte de tensão de referência de *Bandgap* de Brokaw;  
**(b)** Forma alternativa ao circuito (a).

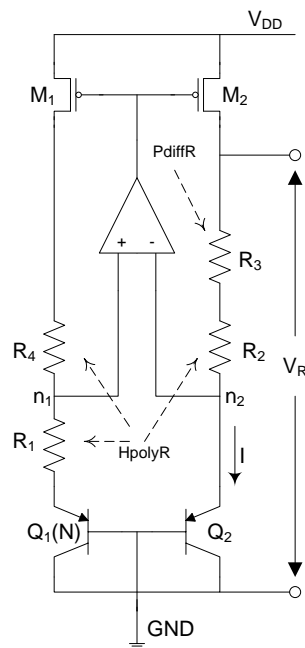
### 2.4.5 – Fonte de tensão de referência com compensação de curvatura

Muitas técnicas de compensação de fontes de referência para com factores como a temperatura foram estudadas e desenvolvidas com o objectivo de criar uma fonte de tensão de referência precisa [22, 23]. Estas fontes requerem muito boa precisão dos

espelhos de corrente ou então uma fonte de tensão pré-regulada, uma vez que pequenas diferenças na corrente podem introduzir erros de tensão na saída do dispositivo. Alguns dos métodos para resolver estes problemas passariam pela utilização de espelhos de corrente em cascata [22, 23], e circuitos pré-regulados [24], com a contrapartida do aumento da tensão de alimentação mínima.

Em adição aos esquemas de compensação de temperatura quadrática e exponencial, Lewis e Brokaw propuseram uma fonte de tensão de referência com compensação de temperatura de segunda ordem, baseada na razão entre resistências dependentes da temperatura [25]. Mais tarde, Audy propôs uma ideia similar que efectuaria uma compensação de terceira ordem usando combinações em série e em paralelo de resistências [26]. No entanto, ambas as estruturas dos circuitos que são baseadas em resistências de baixo coeficiente de temperatura, foram concebidas para tecnologias bipolares e não podem ser aplicadas em aplicações CMOS.

Uma fonte de tensão de referência com compensação de temperatura baseada na relação das resistências dependentes da temperatura para aplicações CMOS é apresentada de seguida [27]. A técnica de compensação de curvatura, tem como base a utilização de resistências com coeficientes de temperatura negativos (HpolyR) e resistências com coeficientes de temperatura positivos (PdiffR), com o intuito de obter uma relação entre as resistências independente da temperatura. Essa razão entre as resistências irá reduzir os efeitos das pequenas variações de temperatura que possam ocorrer na tensão de referência.



**Figura 2.7** – Fonte de tensão de referência com compensação de curvatura.

Como pode ser visto na Figura 2.7,  $R_1$ ,  $R_2$  e  $R_4$  são resistências HpolyR, enquanto, que  $R_3$  é uma resistência PdiffR. Esta estrutura cria uma corrente PTAT (*Proportional to Absolute Temperature*)  $I$ , levando a que uma tensão PTAT seja criada através de  $R_2$ , e uma tensão dependente da temperatura em  $R_3$ . A adição destas duas tensões juntamente com o  $V_{be}$  de  $Q_2$  irá cancelar as dependências não lineares com a temperatura de  $V_{be}$ , o que irá reduzir os efeitos das pequenas variações de temperatura na tensão de referência. O amplificador obriga a que os nós  $n_1$  e  $n_2$  estejam ao mesmo potencial, e assim temos uma PTAT que é formada por  $Q_1$ ,  $Q_2$  e  $R_1$ , na qual se pode retirar o valor de corrente

$$I = \frac{V_T \cdot \ln(N)}{R_1} \quad (2.20)$$

Onde  $N$ , é a razão entre as áreas dos emissores dos transístores  $Q_1$  e  $Q_2$ , e  $V_T$  é a tensão térmica. A corrente  $I$  flui através de  $R_2$  e  $R_3$  sendo então a tensão de referência dada por:

$$V_R = V_{be2} + \left[ \frac{R_2}{R_1} \cdot \ln(N) \right] \cdot V_T + \left[ \frac{R_3}{R_1} \cdot \ln(N) \right] \cdot V_T \quad (2.21)$$

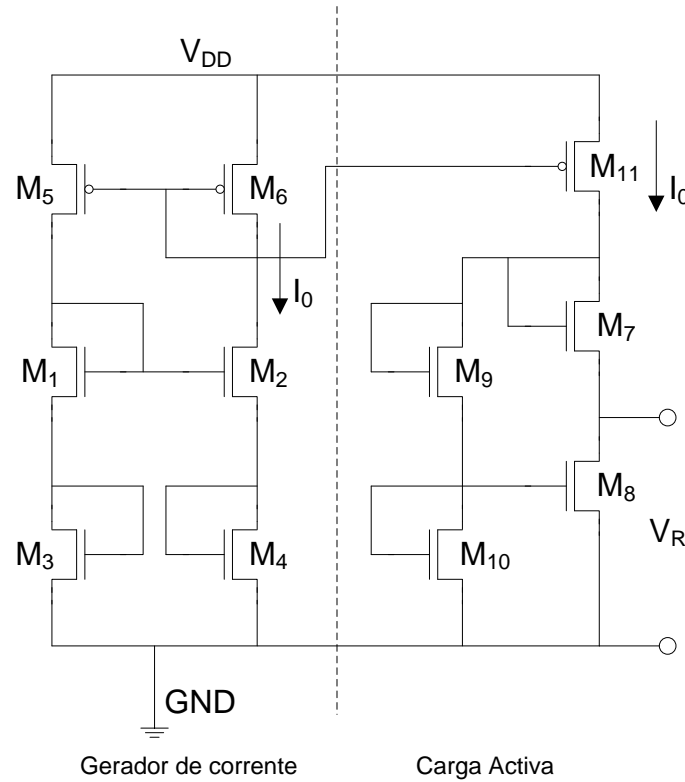
$R_2/R_1$  é independente da temperatura, uma vez que ambas as resistências são feitas do mesmo material, enquanto, que  $R_3/R_1$  é dependente da temperatura devido às resistências serem compostas de materiais diferentes. A variação destas resistências permitir-nos-á obter uma tensão de referência de *bandgap* independente da temperatura.

## 2.4.6 – Fonte de tensão de referência a operar na região de inversão fraca

Uma das maiores vantagens da fonte de tensão de referência representada na Figura 2.8, encontra-se na redução de área ocupada comparando com os circuitos apresentados anteriormente. Isto deve-se ao facto deste circuito não apresentar nem transístores bipolares, nem resistências, mas apenas transístores CMOS [13].

Como pode ser visto pela Figura 2.8, o funcionamento da tensão de referência baseia-se num circuito que cria uma corrente  $I_0$ , quase independente da tensão de alimentação  $V_{DD}$ . Assim  $I_0$  é espelhada numa carga activa composta pelos transístores ( $M_7$ - $M_{10}$ ) para que a tensão de referência seja gerada. Na metade esquerda do circuito, temos o gerador de corrente, onde  $M_1$  e  $M_2$  operam abaixo da região da tensão de limiar, enquanto, que  $M_3$  e  $M_4$  operam nas regiões de inversão forte e saturação.





**Figura 2.8** – Fonte de tensão de referência apenas com transístores MOS.

Temos então:

$$I_0 = \frac{m^2 V_T^2 k_4}{2} \left( \frac{N}{N-1} \right)^2 \cdot \ln \left( \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}} \right) = \frac{\mu_n C_{ox} V_T^2}{2} \cdot h \quad (2.22)$$

Nesta expressão,  $N = \sqrt{k_3/k_4}$ ,  $k = \mu_n C_{ox} W/L$ ,  $C_{ox}$  é a capacidade porta-substrato por unidade de área,  $\mu_n$  é a mobilidade dos electrões,  $V_T$  é a tensão térmica e  $m$  é o parâmetro de oscilação abaixo da tensão de limiar.

Na carga activa, composta pelos transístores ( $M_7$ - $M_{10}$ ) tal como dito anteriormente, todos os transístores operam na região de saturação. Na medida de assegurar uma óptima compensação de temperatura, a maior parte da corrente  $I_0$  flui através dos transístores  $M_7$  e  $M_8$ . Um divisor activo de tensão composto pelos transístores  $M_9$  e  $M_{10}$  ao invés de um divisor resistivo passivo permite um importante melhoramento do desempenho da tensão de referência. Com este divisor de carga activo de tensão, a potência dissipada diminui substancialmente, a ocupação de área é reduzida devido à ausência de resistências, assim como o coeficiente de temperatura, uma vez

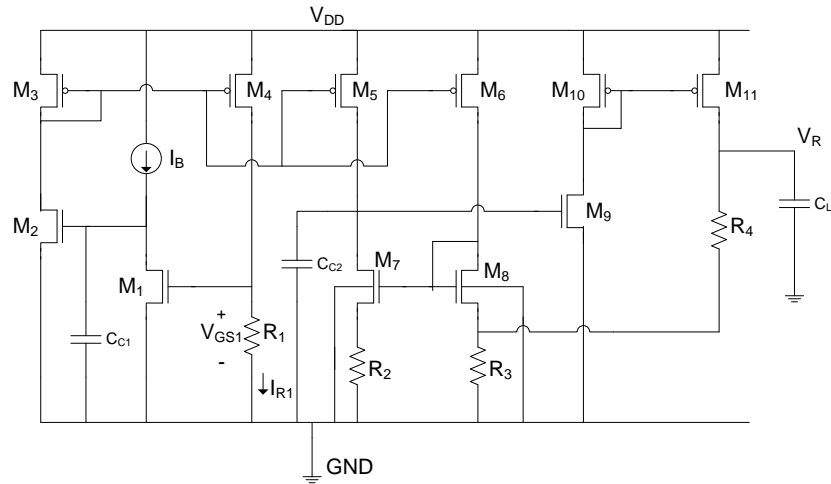
que dois efeitos de segunda ordem (efeito de corpo e modulação do comprimento do canal) podem ser cancelados. A tensão de saída  $V_R$  é então dada por:

$$V_R = V_{TH} + \left[ \frac{1}{\sqrt{k_8}} \left( 1 + \sqrt{\frac{W_{10}}{L_{10}} - \frac{1}{\sqrt{k_7}}} \right) \right] \cdot \sqrt{2I_0} \quad (2.23)$$

### 2.4.7 – Fonte de tensão de referência baseada numa PTAT de corrente

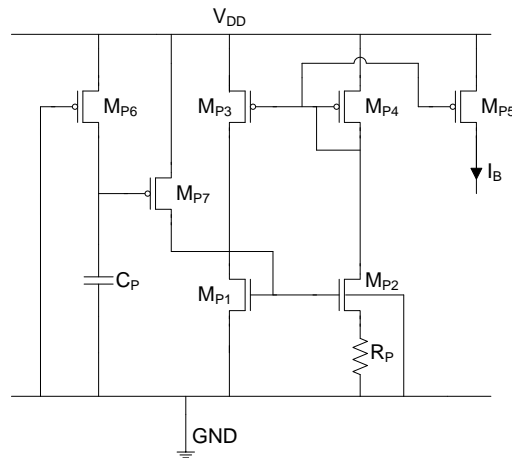
Diferentes técnicas para uma possível resolução do cancelamento exacto da dependência de  $V_{ref}$  com a temperatura são baseados, em tecnologia CMOS, em dispositivos a operar na região de inversão fraca “*subthreshold*” [14]. As tensões de referência que utilizam esta técnica consomem muito pouca potência para além de que, na região de inversão fraca, as características I-V dos transístores MOS são exponenciais e podem ser usadas para gerar a tensão de limiar  $V_{TH}$ . Foi demonstrado por Widlar em 1971 que a soma de uma tensão base-emissor e uma tensão PTAT definida adequadamente podiam levar a uma tensão de referência estável. Em 2001 foi demonstrado por Filanovsky e por Addam que tanto a mobilidade dos portadores ( $\mu$ ), como a tensão de limiar ( $V_{TH}$ ), são parâmetros que decrescem com a temperatura [6]. O circuito da Figura 2.9 explora o facto de que a tensão  $V_{GS}$  de um MOSFET, alimentado com uma corrente de dreno constante decresce linearmente com a temperatura.

O circuito da Figura 2.9 pode ser dividido em dois sub-circuitos. O primeiro composto pelos transístores  $M_1$  a  $M_4$ , a fonte de corrente  $I_B$ , a resistência  $R_1$  e o condensador  $C_{C1}$ . Este tem como principal função, ajustar a corrente  $I_{R1}$ , de modo a que esta seja dependente da tensão  $V_{GS1}$ . O segundo sub-circuito é composto pelos transístores  $M_5$  a  $M_{11}$ , as resistências  $R_2$  a  $R_4$ , e o condensador  $C_{C2}$ . O seu objectivo, é o de modelar a corrente  $I_{R1}$  de forma, a que a tensão  $V_R$  resulte como a soma de uma componente PTAT e uma componente baseada em  $V_{GS}$ . O condensador  $C_L$  serve apenas para simular uma possível carga capacitiva.



**Figura 2.9** – Fonte de tensão de referência baseada numa PTAT de corrente.

Um outro circuito é usado para gerar uma corrente PTAT. Este circuito encontra-se ilustrado na Figura 2.10, e é ele que dá origem à corrente  $I_B$  da tensão de referência. Nesta PTAT, os transístores  $M_{P6}$ ,  $M_{P7}$  e o condensador  $C_P$  fazem parte do circuito de arranque, o qual é muito importante para mover a corrente de referência do ponto onde todas correntes são zero.



**Figura 2.10** – PTAT de corrente.

A fonte de corrente  $I_B$  encontra-se representada na Figura 2.10, e é composta pelos transístores  $M_{P1}$  a  $M_{P5}$ , e a resistência  $R_P$ . A corrente  $I_B$  fornecida é expressa da forma:

$$I_B = \frac{V_T P_{P5}}{R_P P_{P4}} \ln \left( \frac{P_{P2} P_{P4}}{P_{P1} P_{P3}} \right) \quad (2.24)$$

Nesta expressão  $P = W/L$ . Os transístores  $M_{P6}$  e  $M_{P7}$  e o condensador  $C_P$  formam o circuito de arranque.

Na primeira parte do circuito, a retroacção em torno de  $M_1$ , força a que a corrente  $I_{R1}$  seja dada por:

$$I_{R1} = \frac{V_{GS1}(I_B)}{R_1} \quad (2.25)$$

Esta corrente é depois espelhada à segunda parte do circuito através dos transístores  $M_5$  e  $M_6$ . O que leva a que a tensão de referência do circuito seja dada pela expressão:

$$V_R = R_4 I_{R4} + V_{R3} = R_4 \left( \frac{V_{R3}}{R_3} - I_{R1} \frac{P_6}{P_4} \right) + V_{R3} \quad (2.26)$$

Na qual,

$$V_{R3} = \frac{P_5 R_2}{P_4 R_1} V_{GS1}(I_B) + V_T \ln \left( \frac{P_8 P_5}{P_7 P_6} \right) \quad (2.27)$$

## 2.5 – Comentário final

Neste capítulo, foram inicialmente apresentadas as vantagens da tecnologia que irá ser utilizada no estudo das fontes de tensão de referência. De seguida é feita uma descrição do componente mais importante na criação das mesmas, o MOSFET, e apresentadas as suas regiões de funcionamento e algumas das suas propriedades. Seguindo depois para uma breve explicação da história das fontes de tensão de referência e o seu modelo de funcionamento.

Foram por fim apresentados alguns circuitos de fontes de tensão de referência mais recentes, os quais aplicam diferentes técnicas para a obtenção da tensão de referência independente da temperatura e da alimentação. Alguns destes circuitos a permitirem que com o manuseamento do valor das resistências, tendo em conta a sua dependência com a temperatura, permita que a independência da alimentação e da temperatura seja alcançada, como é o caso da “Fonte de tensão de referência com compensação de curvatura” e da “Fonte de tensão de referência baseada numa PTAT de corrente”. Outros circuitos que recorrem apenas a MOSFETs a operar na região de inversão fraca para conseguirem o mesmo objectivo, como é o caso da “Fonte de tensão de referência a operar na região de inversão fraca (*subthreshold*)”.

Nos capítulos seguintes serão abordados alguns circuitos para uma análise mais extensa e detalhada das suas dependências com a temperatura e alimentação, sendo também descritas algumas medidas a tomar de maneira a reduzir os seus efeitos.



## Capítulo 3

---

### Simulação dos circuitos

O tópico central deste capítulo é a simulação esquemática de algumas fontes de tensão de referência. Em alguns dos circuitos, houve um esforço na tentativa de otimizar as suas funcionalidades, permitindo assim, com a mesma fonte de tensão de referência, a obtenção de diferentes valores da tensão de referência. Numa primeira fase deste capítulo, é descrita a tecnologia utilizada para os testes, e também é explicado o processo de fabrico dos circuitos integrados, seguindo depois para a simulação dos circuitos propostos. No final do capítulo é feita uma comparação entre os valores obtidos para os diversos circuitos e os obtidos nos circuitos que lhes deram origem.

#### 3.1 - Tecnologia CMOS utilizada

Ao longo de todo o trabalho, a tecnologia CMOS utilizada, foi a c35b4 da AMS (*Austria Microsystems*), de 350nm. Esta tecnologia possibilita a utilização de transístores com as dimensões mínimas de  $W_{\min} = 0.4\mu\text{m}$  e  $L_{\min} = 0.35\mu\text{m}$ . Os seus modelos típicos de transístores suportam uma tensão de 3.3V. Por esta razão, todas as simulações efectuadas tiveram como limite máximo de alimentação os 3V.

## 3.2 – Processo de circuitos integrados

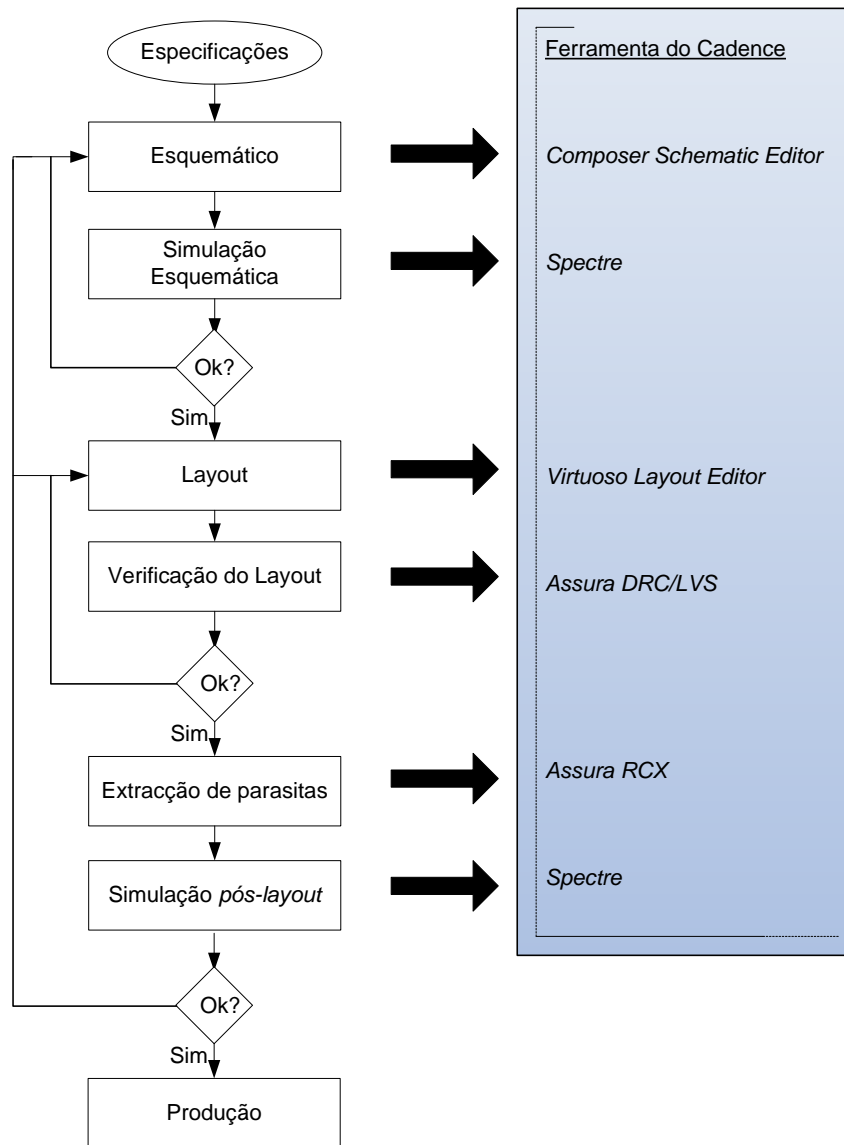
Geralmente, o maior objectivo de quem projecta circuitos integrados passa pela escolha do circuito, obedecendo a um conjunto de regras e especificações, no menor tempo possível e recorrendo ao menor número de recursos humanos. Ao mesmo tempo, o circuito deve possuir um rendimento elevado, o seu processo deve ser simples, e a ocupação de área a menor possível.

Para a resolução deste objectivo, podem-se identificar duas filosofias distintas.

- a) A primeira designada por “*bottom-up approach*”, onde se começa ao nível do transístor e se vão desenhando sub-circuitos de maior complexidade, os quais posteriormente são ligados uns aos outros realizando a funcionalidade pretendida.
- b) A segunda é designada de “*top-down approach*”, onde se vai repetidamente decompondo o nível de especificações do sistema em grupos e sub-grupos de tarefas de cariz mais simples. As tarefas mais simples são depois implementadas em silício, tanto no caso de circuitos que já foram, previamente desenhados e testados, normalmente conhecidos por células padrão, como em circuitos de baixo nível desenhados para reunir certas especificidades.

A primeira delas é usada no desenho de circuitos digitais, normalmente resultando num aumento significativo da produtividade. Muito esforço, tem sido dispendido na tentativa de a implementar em circuitos analógicos, mas os requisitos do desenho de circuitos analógicos por vezes tornam esta técnica incompatível. São também muitos os casos em que circuitos analógicos e digitais utilizam várias combinações de conceitos de ambas as técnicas.

Na Figura 3.1 encontra-se um diagrama de blocos que representa os passos necessários no desenho convencional de um circuito integrado.



**Figura 3.1** – Esquema para a criação de circuitos integrados.

O ponto de partida é um conjunto de especificações para o circuito. Em circuitos mais complexos, é necessário um maior esforço para a obtenção de todas as especificações do circuito.

Os circuitos preliminares, muitas vezes denominados por esquemáticos são baseados em modelos simples dos dispositivos ou sub-circuitos. A criação do esquemático é obtida, utilizando o *Composer Schematic Editor*. De seguida passa-se à simulação do circuito esquemático, a qual é efectuada através de uma simulação computacional, que utiliza modelos mais precisos para verificar a eficiência do circuito. Para este fim, é utilizado o simulador *Spectre*, o qual, para além da simulação, permite extrair a *netlist* do circuito. Bons modelos para os diversos componentes (transístores, resistências, condensadores, etc.) são cruciais. Um modelo é considerado de boa



qualidade se conseguir prever eficazmente o desempenho do circuito após a sua fabricação. Além disso, deve ser suficientemente simples para evitar um tempo excessivo na sua simulação computadorizada. Um tempo considerável é sempre investido nesta simulação do circuito esquemático.

Quando o circuito preliminar cumprir as especificações pretendidas com resultados aceitáveis, passa-se à fase do *layout*. A fase do *layout* é também muitas vezes iniciada nos sub-circuitos antes da conclusão da fase preliminar do projecto. Uma boa planta é obtida no início do projecto, após uma boa estimativa do circuito completo e do tamanho que este terá. Uma boa planta contém a informação sobre a posição de todas as células principais do circuito, assim como as designações dos pinos de entrada e saída. A criação do *layout* é conseguida através da ferramenta *Virtuoso Layout Editor*. Depois do *layout* completo, esse *layout* é submetido a mais simulação computacional. Esta verificação, divide-se em 3 fases, DRC (*Design Rule Check*), Extracção de parâmetros e LVS (*Layout Vs. Schematic*). Estas simulações são cruciais e serão alvo de mais relevância no próximo capítulo, na medida em que os efeitos parasitas associados ao *layout* têm um papel muito importante tanto em circuitos analógicos como digitais. Em circuitos analógicos os efeitos parasitas tendem a degradar o desempenho dos circuitos, enquanto, que nos circuitos digitais os efeitos parasitas levam a atrasos indesejados e, em alguns dos casos, a erros. Esses atrasos, algumas das vezes levam a que o circuito não funcione como o que era esperado.

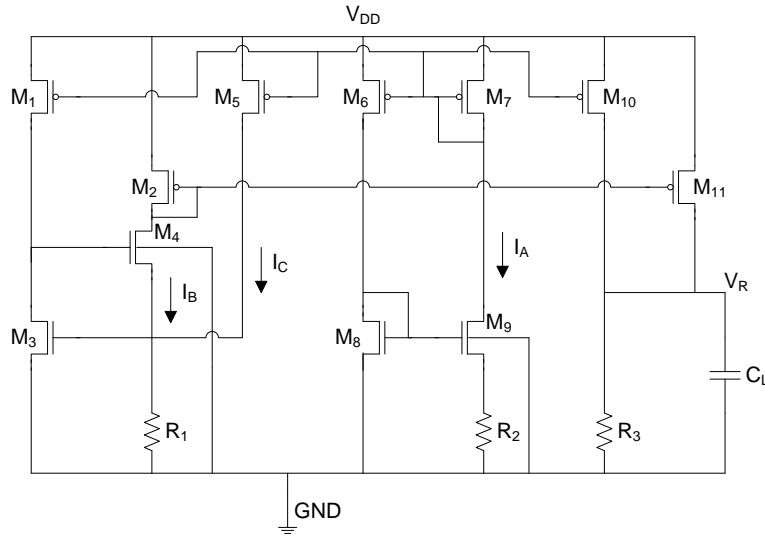
Uma vez que o *layout* tenha ultrapassado todos os testes computacionais com resultados favoráveis, o circuito passa para a fase de fabrico. Em circuitos mais complexos, sub-circuitos são muitas das vezes fabricados antecipadamente em ordem a que seja retirada informação destes protótipos e também para que seja verificada a funcionalidade dos mesmos.

### 3.3 – Simulação de circuitos

Neste capítulo, foram escolhidos alguns circuitos para uma análise mais extensa de simulação e testes. Como já foi dito anteriormente, os circuitos serão testados com uma alimentação máxima de 3V, sendo testados também com temperaturas a variar entre -20°C a 80°C, excepto em uma ou duas simulações, onde se utilizará uma gama de temperaturas mais abrangente, de -55°C a 140°C.

### 3.3.1 – Simulação da fonte de tensão de referência com compensação da modulação do comprimento do canal

O circuito esquemático da fonte de tensão de referência com compensação da modulação do comprimento do canal [28] encontra-se representado na Figura 3.2.



**Figura 3.2** – Esquemático da fonte de tensão de referência com compensação da modulação do comprimento do canal.

O circuito pode ser dividido em três partes distintas. A primeira constituída pelos transistores  $M_1$  a  $M_5$  e a resistência  $R_1$ . A segunda parte inclui os transistores  $M_6$  a  $M_9$  para além da resistência  $R_2$ . A terceira e última parte, é composta pelos transistores  $M_{10}$  e  $M_{11}$ , assim como pela resistência  $R_3$ .

Para a análise do circuito, comecemos pela corrente  $I_A$ , que se encontra na segunda parte do circuito. A corrente  $I_A$  é gerada pelos transistores  $M_8$  e  $M_9$ , que se encontram a operar na região de inversão fraca, em ordem a se obter uma corrente que seja o mais independente possível da alimentação. Com os transistores a operar na região fraca de inversão, a corrente  $I_D$  é dada pela expressão:

$$I_D = I_S e^{\frac{V_{GS}}{nV_T}} \quad (3.1)$$

Esta equação pode ser reescrita na forma:

$$V_{GS} = nV_T \ln\left(\frac{I_D}{I_S}\right) \quad (3.2)$$

Como  $V_{GS8} = V_{GS9} + I_A R_2$ , o valor da corrente pode ser dada pela seguinte expressão:

$$I_A = \frac{nV_T}{R_2} \ln\left(\frac{P_9}{P_8}\right) \quad (3.3)$$

Nesta expressão,  $P = W/L$  e os transístores  $M_6$  e  $M_7$  são considerados idênticos.

Na primeira parte do circuito, o transístor  $M_1$  recebe a corrente  $I_A$  espelhada, gerando assim  $V_{GS3}$ , o qual está na origem de  $I_B = \frac{V_{GS3}}{R_1}$ , no caso de  $I_C = 0$ . A corrente  $I_D$  no transístor  $M_5$ , pode ser expressa por  $I_C = NI_A$ . A corrente  $I_B$  pode ser reescrita da seguinte forma:

$$I_B = \frac{V_{GS3}}{R_1} - I_C \quad (3.4)$$

Isto implica que um aumento da corrente  $I_C$  resulta num decréscimo da corrente  $I_B$ , devido à constante  $V_{GS3}$ .

Depois,  $I_A$  e  $I_B$  são espelhadas para  $M_{10}$  e  $M_{11}$  respectivamente, dando então origem à tensão de referência  $V_R$  descrita pela equação:

$$V_R = \left( \frac{P_{10}}{P_7} I_A + \frac{P_{11}}{P_2} I_B \right) R_3 \quad (3.5)$$

No caso de se substituir (3.3) e (3.4) em (3.5), chegamos à expressão:

$$V_R = \alpha V_{GS3} + \beta V_T \quad (3.6)$$

Onde,  $\alpha = \left( \frac{P_{11} R_3}{P_2 R_1} \right)$  e  $\beta = \left[ \left( \frac{P_{10}}{P_7} \right) - N \left( \frac{P_{11}}{P_2} \right) \right] \left( \frac{R_3}{R_2} \right) n \ln\left(\frac{P_9}{P_8}\right)$ . Para que a tensão  $V_R$  seja

constante, isto é,  $\frac{\partial V_R}{\partial T} = 0$ , a seguinte condição deve ser satisfeita, de forma a que a obtenção de um coeficiente de temperatura zero seja alcançada

$$\frac{\alpha}{\beta} = -\frac{V_T}{K_G} \quad (3.7)$$

Como  $K_G$  na tecnologia utilizada apresenta um valor médio de -382.1mV [14], para a obtenção do coeficiente de temperatura zero, podemos conjugar as equações (3.6) e (3.7), chegando à conclusão de que a  $V_R$  pode ser expressa por:

$$V_R = \alpha(V_{GS3} - K_G) \quad (3.8)$$

Ou ainda:

$$V_R = \beta V_T \left( -\frac{V_{GS3}}{K_G} + 1 \right) \quad (3.9)$$

Substituindo de seguida  $\alpha$  e  $\beta$  nas equações (3.8) e (3.9) respectivamente, chegamos às expressões que permitem, apenas com o manuseamento de resistências, alcançar uma tensão de referência independente da temperatura e da alimentação.

$$V_R = \frac{P_{11}R_3}{P_2R_1}(V_{GS3} - K_G) \quad (3.10)$$

$$V_R = \left( \frac{P_{10}}{P_7} - N \frac{P_{11}}{P_2} \right) \frac{R_3}{R_2} n \ln \left( \frac{P_9}{P_8} \right) V_T \left( -\frac{V_{GS3}}{K_G} + 1 \right) \quad (3.11)$$

### 3.3.1.1 - Simulações

Os valores utilizados nos transístores podem ser vistos na Tabela 3.1.

	M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub> ,M <sub>4</sub>	M <sub>5</sub>	M <sub>6</sub> ,M <sub>7</sub>	M <sub>8</sub>	M <sub>9</sub>	M <sub>10</sub>	M <sub>11</sub>
W(μm)/L(μm)	40/8	20/8	50/2	3/0.5	25/6	2/2	100/2	160/12	16/12

**Tabela 3.1** – Dimensões dos transístores do circuito.

Inicialmente, foram feitas análises paramétricas aos valores das resistências, para que fosse possível a obtenção dos melhores resultados possíveis para as diferentes tensões de referência (0.2 V, 0.4 V, 0.8 V e 1.2 V).

Os valores obtidos encontram-se na Tabela 3.2:

V <sub>R</sub> (V)	R <sub>1</sub> (KΩ)	R <sub>2</sub> (KΩ)	R <sub>3</sub> (KΩ)
0.2	213.75	380	92.5
0.4	213.75	380	185
0.8	213.75	380	370
1.2	213.75	380	556

**Tabela 3.2** – Valores das resistências obtidas.

De seguida foram então utilizadas as equações (3.10) e (3.11), calculadas anteriormente, para a obtenção dos valores das resistências.

Uma vez que a alteração da resistência  $R_1$  podia levar a que o transistor  $M_3$  deixasse de operar na região de inversão fraca, e isso faria com que o circuito deixasse de funcionar convenientemente, a resistência  $R_1$  foi deixada com o mesmo valor obtido na simulação paramétrica, a qual preenche esse requisito.

Para a obtenção do valor de  $V_{GS3}$ , foram feitas duas simulações em dc, uma com a alimentação a 1.5V e a outra com a alimentação a 3V. Depois, foi só calcular a média entre os dois valores de  $V_{GS3}$  obtidos, o que levou ao valor de  $V_{GS3} = 425.5\text{mV}$ .

O próximo passo, foi utilizar a expressão (3.10) para calcular os valores de  $R_3$ . Com os valores de  $R_3$  calculados, foi então necessário calcular o valor de  $n$ . Este foi calculado, novamente recorrendo a uma análise paramétrica. Com o valor de  $R_3$  já calculado no ponto anterior, e o valor de  $R_1$  não podendo ser muito alterado devido à possibilidade de sair da zona de inversão fraca, através de uma análise paramétrica obteve-se o melhor valor possível para  $R_2$ . Por fim foi só substituir o valor das 3 resistências em (3.11). O valor obtido para  $n$  foi de 3.35.

Agora sim, com a obtenção do valor de  $n$ , já podemos recorrer a (3.11) para calcular os valores de  $R_2$  que permitem que a tensão de referência se mantenha estável com a variação da temperatura e alimentação.

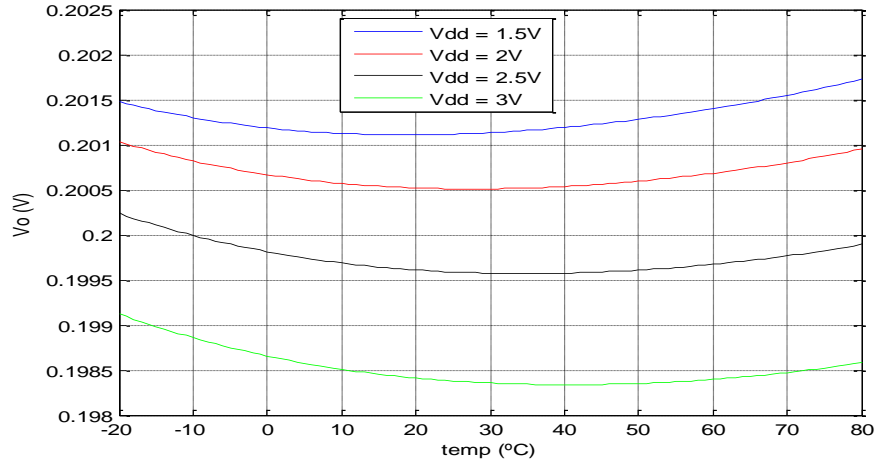
A Tabela 3.3 mostra os valores das resistências obtidas, após a aplicação das expressões (3.10) e (3.11).

$V_R$ (V)	$R_1$ (K $\Omega$ )	$R_2$ (K $\Omega$ )	$R_3$ (K $\Omega$ )
0.2	213.75	379.5	99.5
0.4	213.75	379.5	189
0.8	213.75	379.5	398
1.2	213.75	379.5	597

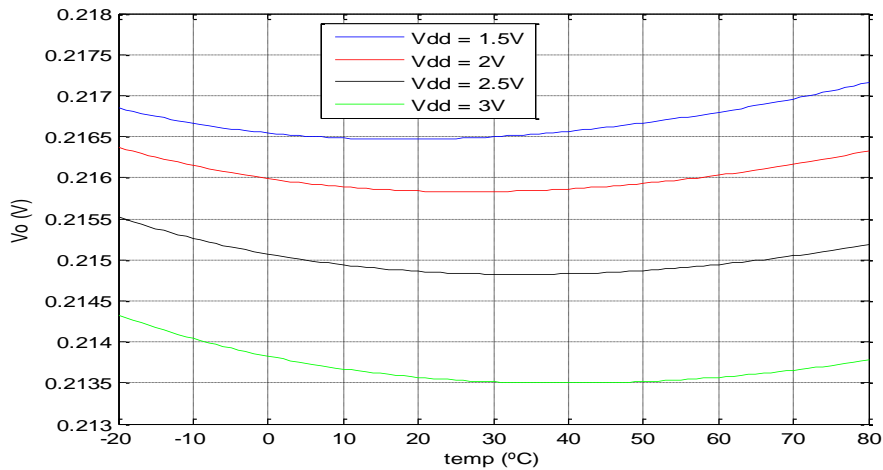
**Tabela 3.3** – Valor das resistências calculadas analiticamente.

### 3.3.1.2 – Resultados das simulações

De seguida são mostrados os resultados obtidos durante todas as experiências descritas no ponto anterior.



(a)

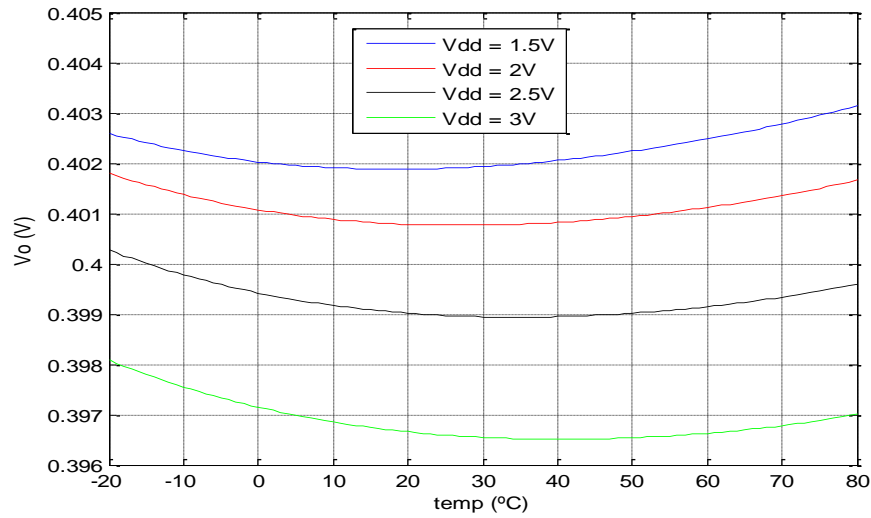


(b)

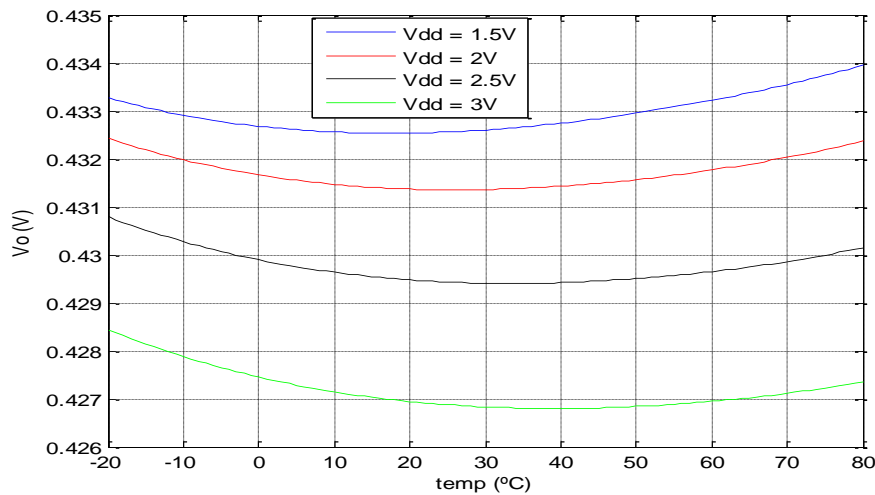
**Figura 3.3** –  $V_R = 0.2V$ : (a) análise paramétrica das resistências; (b) com resistências calculadas analiticamente.

Pela observação das Figuras 3.3 (a) e Figura 3.3 (b), pode-se concluir que na Figura 3.3 (a), onde o valor das resistências foi otimizado através de análises paramétricas, a tensão de referência se encontra melhor centrada na tensão de referência pretendida (0.2V), comparativamente com a Figura 3.3 (b), onde as resistências foram calculadas analiticamente. Por outro lado, em ambos os casos, a variação da tensão de

referência ao longo da gama de temperaturas testadas é idêntica e cerca de 0.8mV no pior caso ( $V_{dd} = 3V$ ).



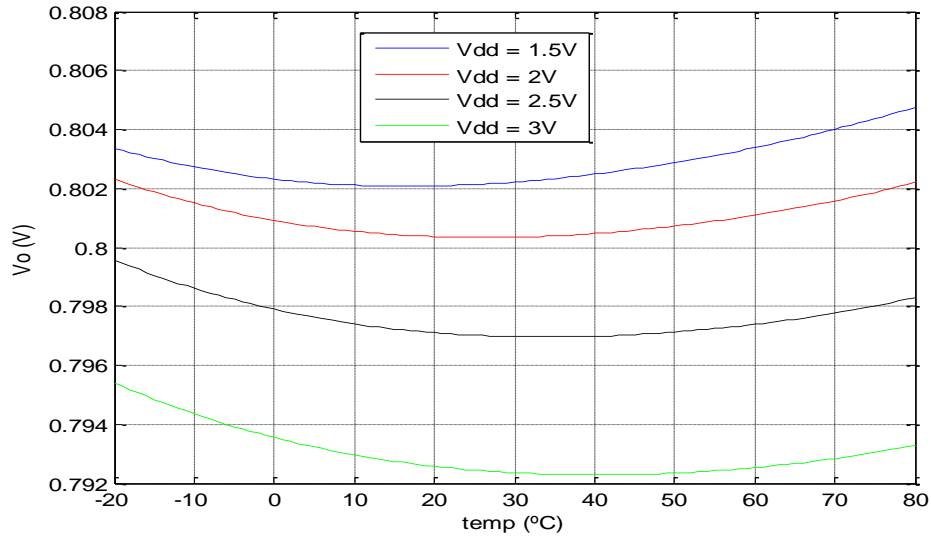
(a)



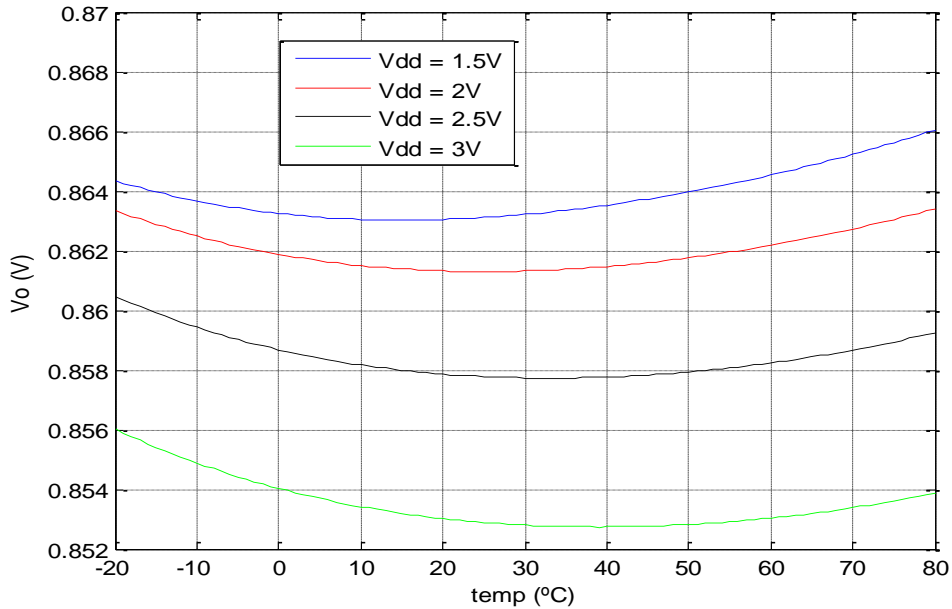
(b)

**Figura 3.4** –  $V_R = 0.4V$ : (a) análise paramétrica das resistências; (b) com resistências calculadas analiticamente.

Tal como no caso anterior, o valor da tensão de referência na Figura 3.4 (a), onde o valor das resistências foi otimizado através de análises paramétricas, a tensão de referência se encontra melhor centrada na tensão de referência pretendida (0.4V), comparativamente com a Figura 3.4 (b), onde as resistências foram calculadas analiticamente. A variação da tensão de referência ao longo da gama de temperaturas é também similar em ambas as figuras, sendo cerca de 1.4mV no pior caso ( $V_{dd} = 3V$ ).



(a)

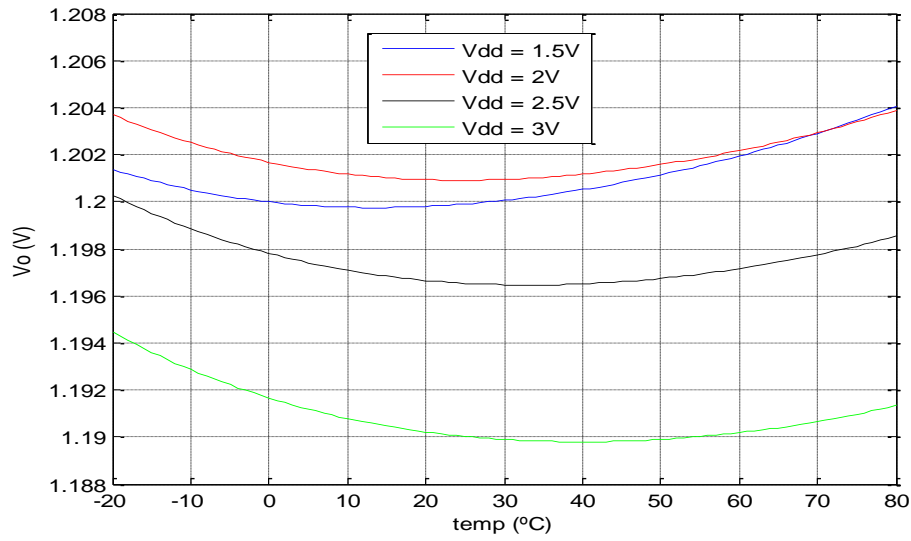


(b)

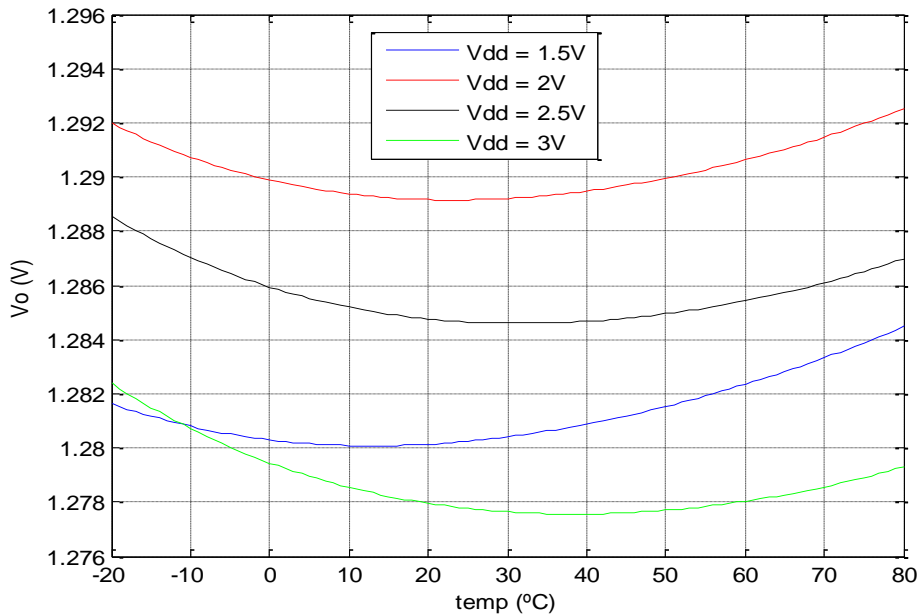
**Figura 3.5** –  $V_R = 0.8V$ : (a) análise paramétrica das resistências; (b) com resistências calculadas analiticamente.

Mais uma vez, o valor da tensão de referência na figura onde o valor das resistências foi otimizado através de análises paramétricas, comparativamente com a figura onde as resistências foram calculadas analiticamente, a tensão de referência encontra-se melhor centrada na tensão de referência pretendida (0.8V). A variação da tensão de referência ao longo da gama de temperaturas é novamente similar em ambas as figuras, sendo cerca de 3mV no pior caso ( $V_{dd} = 3V$ ).





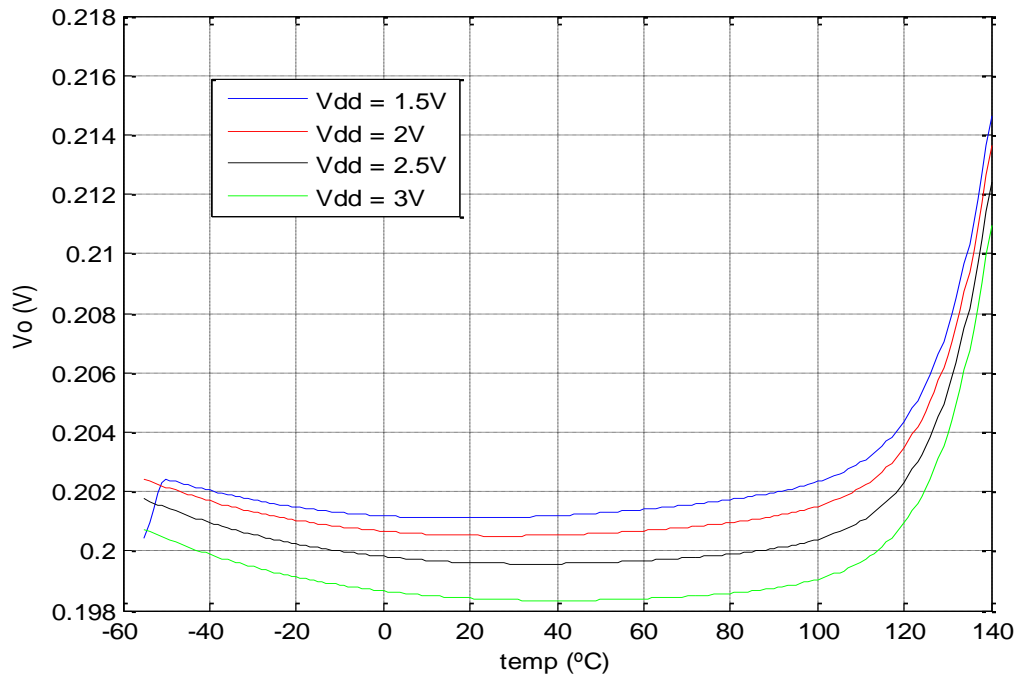
(a)



(b)

**Figura 3.6** –  $V_R = 1.2V$ : (a) análise paramétrica das resistências; (b) com resistências calculadas analiticamente.

Tal como aconteceu na análise de todas as figuras anteriores, os valores da tensão de referência na Figura 3.6 (a) encontram-se melhor centrados na tensão de referência pretendida (1.2V), comparativamente com os valores da tensão de referência da Figura 3.6 (b). A variação da tensão de referência ao longo da gama de temperaturas é também novamente similar em ambas as figuras, tal como nos casos anteriores, sendo neste caso cerca de 4.6mV no pior caso ( $V_{dd} = 3V$ ).



**Figura 3.7** – Análise a uma gama de temperaturas mais abrangente para  $V_R = 0.2V$ .

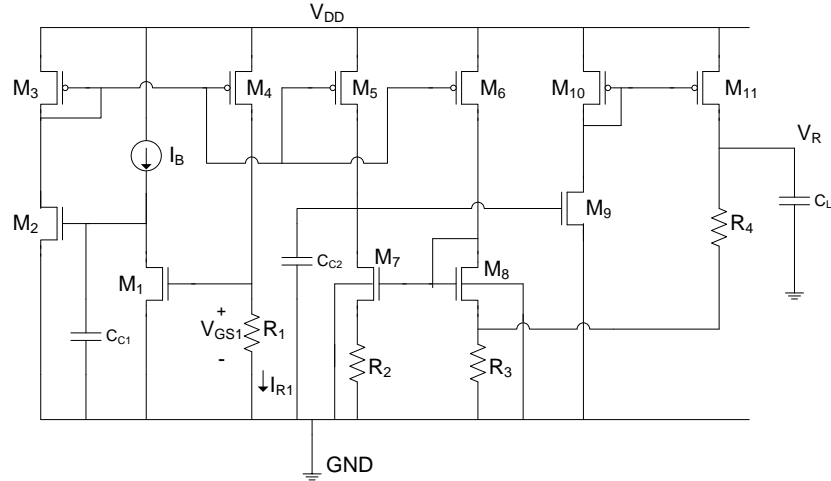
Tendo em atenção a Figura 3.7, é de realçar o bom desempenho da fonte de tensão de referência quando a gama de temperaturas é alargada, tanto para temperaturas negativas, como positivas, apresentando um bom desempenho entre  $-50^{\circ}C$  e  $110^{\circ}C$ .

### 3.3.1.3 – Comentário global

Com base nos resultados obtidos, pode-se concluir que as análises paramétricas efectuadas ao circuito permitem que este tenha um melhor desempenho, do que no caso em que os valores das resistências são calculados através das expressões obtidas. Melhor desempenho, deve entender-se não a variação de tensão que apresenta ao longo da gama de temperaturas testada, a qual é bastante similar em ambos os casos, mas sim em relação à tensão de saída propriamente dita. Nos casos em que as resistências foram calculadas analiticamente a tensão de referência não se centra nos pontos esperados (0.2V, 0.4V, 0.8V e 1.2V), mas sim numa tensão um pouco superior. O circuito testado apresenta também um bom desempenho, quando alargamos a gama de temperaturas de teste, mostrando mesmo um funcionamento muito eficiente entre os  $-50^{\circ}C$  os  $110^{\circ}C$ .

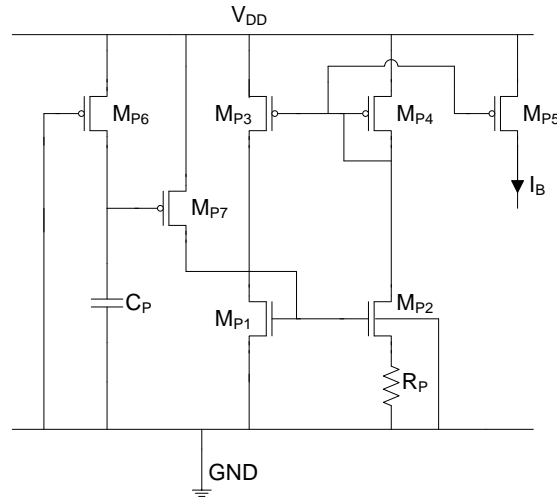
### 3.3.2 – Simulação da fonte de tensão de referência baseada numa PTAT de corrente

O circuito esquemático da fonte de tensão de referência baseada numa PTAT de corrente [14] encontra-se representado na Figura 3.8.



**Figura 3.8** – Esquemático da fonte de tensão de referência baseada numa PTAT de corrente.

Onde a fonte de corrente  $I_B$  se encontra representada na Figura 3.9.



**Figura 3.9** – PTAT de corrente.

O princípio de funcionamento deste circuito, já foi descrito anteriormente na Secção 2.4.7, tendo o circuito deste capítulo como principal diferença em relação a [14], ter

vido alterada a tecnologia em que foi testado. Em vez de uma tecnologia CMOS 1.2μm, foi utilizada a tecnologia AMS 350nm.

Deste modo, assumindo as equações anteriormente alcançadas, e substituindo (2.25) e (2.27) em (2.26) chega-se a:

$$V_R = \alpha V_{GS1}(I_B) + \beta V_T \quad (3.12)$$

Nesta expressão,  $\alpha = \left(\frac{R_4}{R_3} + 1\right) \frac{R_2 P_5}{R_1 P_4} - \frac{R_4 P_6}{R_1 P_4}$  e  $\beta = \left(\frac{R_4}{R_3} + 1\right) \ln\left(\frac{P_8 P_5}{P_7 P_6}\right)$ .

Para que a tensão  $V_R$  seja constante, isto é,  $\partial V_R / \partial T = 0$ , a seguinte condição deve ser satisfeita, de forma a que a obtenção de um coeficiente de temperatura zero seja alcançado:

$$\frac{\alpha}{\beta} = -\frac{V_T}{K_G} \quad (3.13)$$

De seguida para a obtenção do coeficiente de temperatura zero, podemos conjugar as equações (3.12) e (3.13), chegando à conclusão de que  $V_R$  pode ser expressa por:

$$V_R = \alpha(V_{GS1}(I_B) - K_G) \quad (3.14)$$

E também:

$$V_R = \beta V_T \left( -\frac{V_{GS1}(I_B)}{K_G} + 1 \right) \quad (3.15)$$

Substituindo de seguida  $\alpha$  e  $\beta$  nas equações (3.14) e (3.15) respectivamente, chegamos às expressões que permitem apenas com o manuseamento de resistências alcançar uma tensão de referência independente da temperatura e da alimentação.

$$V_R = \left(\frac{R_4}{R_3} + 1\right) \frac{R_2 P_5}{R_1 P_4} V_{GS1}(I_B) - \frac{R_4 P_6}{R_1 P_4} V_{GS1}(I_B) - \left(\frac{R_4}{R_3} + 1\right) \frac{R_2 P_5}{R_1 P_4} K_G + \frac{R_4 P_6}{R_1 P_4} K_G \quad (3.16)$$

E também:

$$V_R = -\left(\frac{R_4}{R_3} + 1\right) \ln\left(\frac{P_8 P_5}{P_7 P_6}\right) V_T \frac{V_{GS1}(I_B)}{K_G} + \left(\frac{R_4}{R_3} + 1\right) \ln\left(\frac{P_8 P_5}{P_7 P_6}\right) V_T \quad (3.17)$$

### 3.3.2.1 – Simulações

As dimensões dos transístores, utilizados para a realização das simulações, encontram-se nas Tabelas 3.4 e 3.5.

Transístor	M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	M <sub>4</sub>	M <sub>5</sub> ,M <sub>6</sub>	M <sub>7</sub>	M <sub>8</sub>	M <sub>9</sub>	M <sub>10</sub> ,M <sub>11</sub>
W(μm)/L(μm)	50/1	7.5/1	5/1	10/1	5/1	250/1	500/1	5/1	10/1

**Tabela 3.4** – Dimensões dos transístores do circuito.

Transístor	M <sub>P1</sub>	M <sub>P2</sub>	M <sub>P3</sub> ,M <sub>P4</sub>	M <sub>P5</sub>	M <sub>P6</sub>	M <sub>P7</sub>
W(μm)/L(μm)	7.5/1	11.25/1	5/1	10/1	1/2.5	5/1

**Tabela 3.5** – Dimensões dos transístores da PTAT de corrente.

Os valores dos condensadores utilizados podem ser vistos na Tabela 3.6

Condensador	C <sub>C1</sub>	C <sub>C2</sub>	C <sub>CP</sub>
Capacidade (pf)	2	1	1

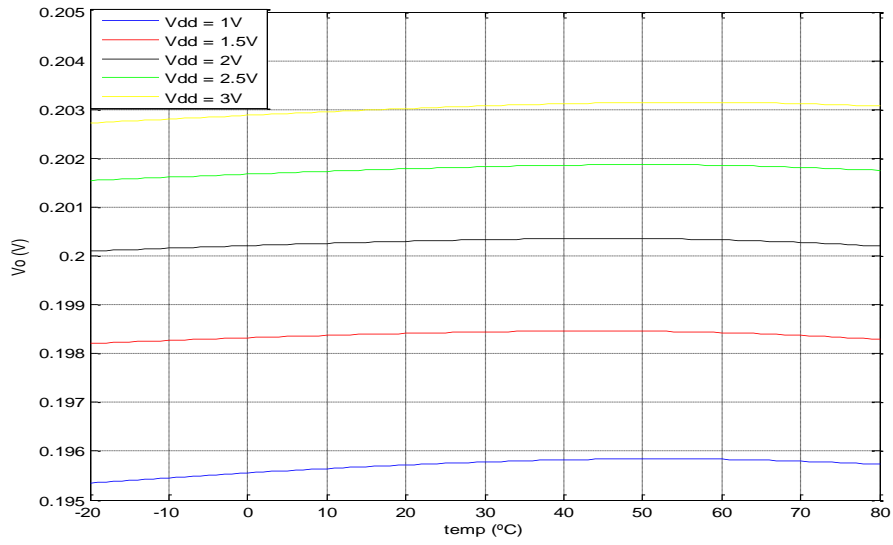
**Tabela 3.6** – Valores dos condensadores do circuito.

Com o recurso a análises paramétricas foi possível chegar aos melhores valores para as resistências que permitiam uma tensão de referência mais estável com a variação da temperatura e alimentação. Os valores destas resistências estão apresentados na Tabela 3.7.

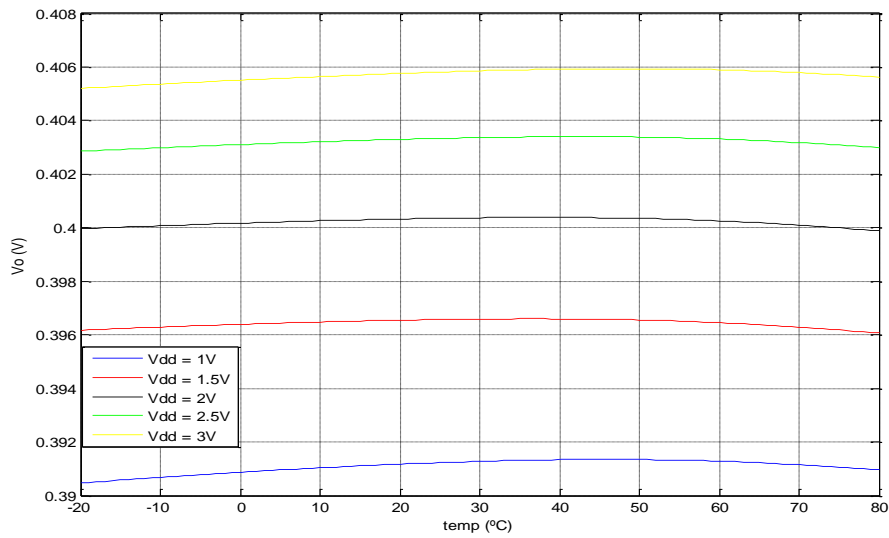
V <sub>R</sub> (V)	R <sub>1</sub> (KΩ)	R <sub>2</sub> (KΩ)	R <sub>3</sub> (KΩ)	R <sub>4</sub> (KΩ)	R <sub>P</sub> (KΩ)
0.2	636.8	94.7	42.1	226.3	473.7
0.4	636.8	94.7	42.1	527	968.5
0.8	636.8	94.7	42.1	1120	1220
1.2	636.8	94.7	42.1	1720	1350

**Tabela 3.7** – Valores das resistências.

### 3.3.2.2 – Resultados das simulações

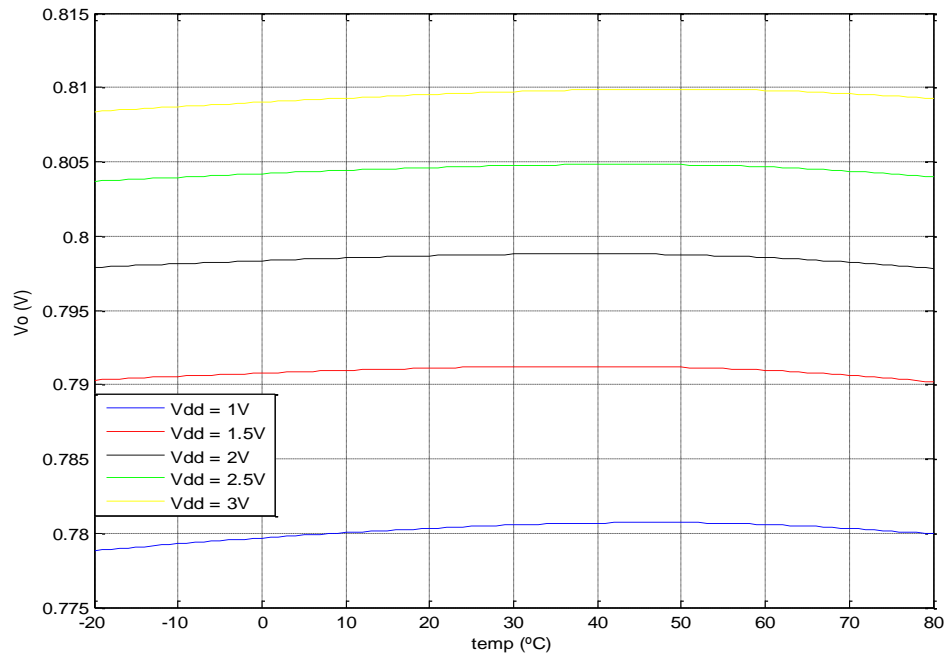


**Figura 3.10** – Análise para  $V_R = 0.2V$ .

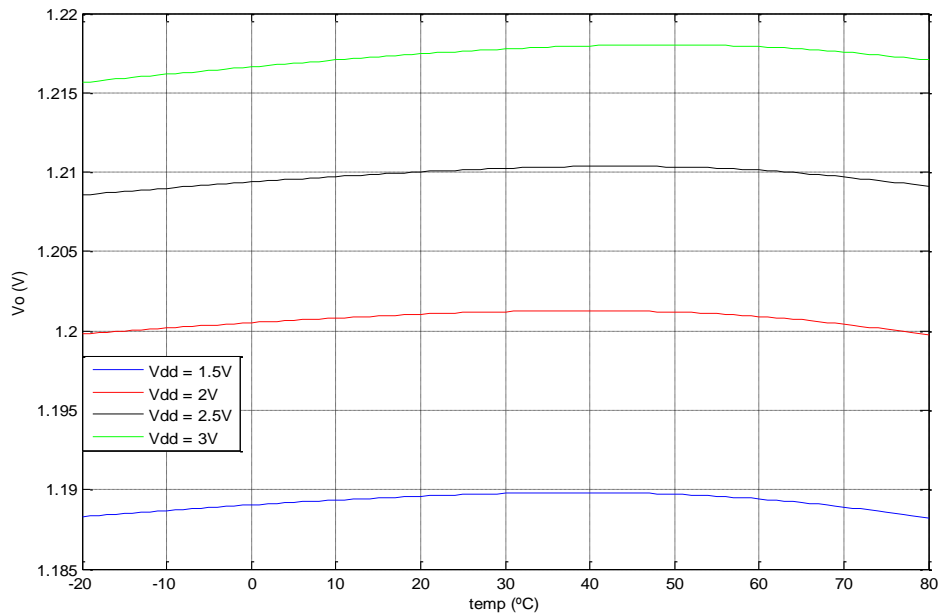


**Figura 3.11** – Análise para  $V_R = 0.4V$ .

Pode-se observar através das Figura 3.10 e Figura 3.11, que a fonte de tensão de referência baseada numa PTAT de corrente apresenta uma variação máxima de 0.32mV para  $V_R = 0.2V$  e de 0.8mV para  $V_R = 0.4V$ , ao longo da gama de temperaturas estudada.

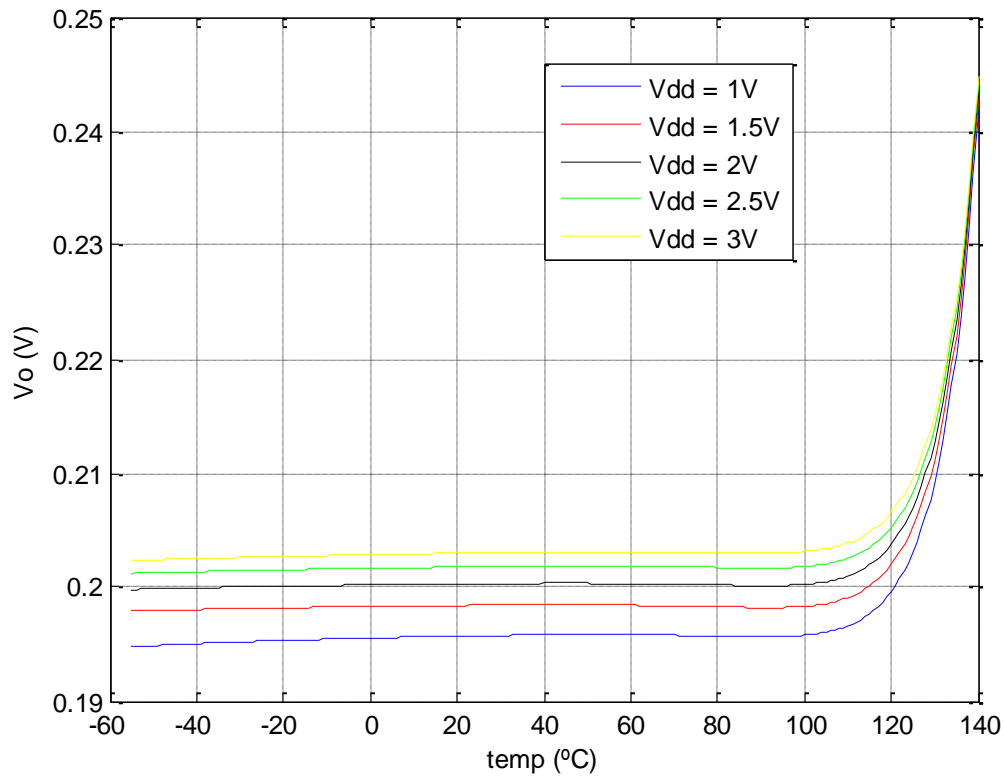


**Figura 3.12** – Análise para  $V_R = 0.8V$ .



**Figura 3.13** – Análise  $V_R = 1.2V$ .

Através das Figura 3.10 e Figura 3.11, pode-se concluir que a fonte de tensão de referência baseada numa PTAT de corrente apresenta uma variação máxima de 1.65mV para  $V_R = 0.8V$  e de 1.9mV para  $V_R = 1.2V$ , ao longo da gama de temperaturas estudada.



**Figura 3.14** – Análise a uma gama de temperaturas mais abrangente para  $V_R = 0.2V$ .

Observando a Figura 3.14, pode-se concluir que a fonte de tensão de referência apresenta um bom desempenho quando a gama de temperaturas é alargada, tanto para temperaturas negativas, como positivas. Apresentando um bom desempenho entre  $-50^{\circ}C$  e  $110^{\circ}C$ .

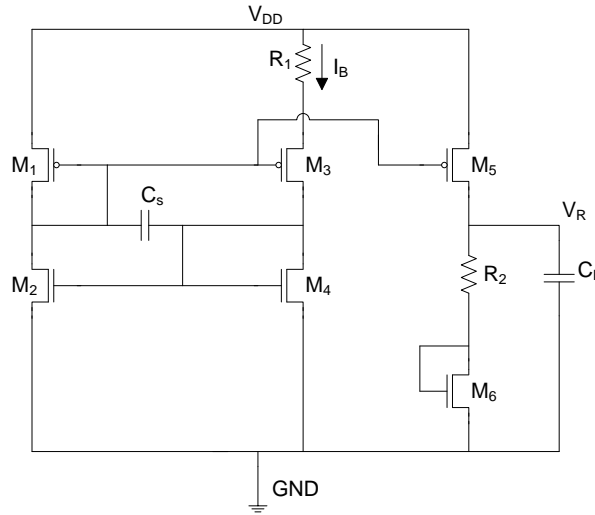
### 3.3.2.3 – Comentário global

Em relação à fonte de tensão de referência baseada numa PTAT de corrente, é de notar que tem um desempenho muito elevado. Para todas as tensões de referência testadas, nunca ultrapassou os 2mV de variação máxima. Sendo que para 0.2V teve uma variação máxima, dos 1.5V aos 3V de alimentação de apenas 0.32mV. Através da Figura 3.14, pode-se observar, que o circuito tem também um ótimo comportamento quando é alargada a gama de temperaturas, apresentando-se muito eficiente desde os  $-50^{\circ}C$  aos  $110^{\circ}C$ .



### 3.3.3 – Simulação da fonte de tensão de referência baseada na tensão de limiar

O circuito esquemático da fonte de tensão de referência baseada na tensão de limiar [29] encontra-se representado na Figura 3.15.



**Figura 3.15** – Esquemático da fonte de tensão de referência baseada na tensão de limiar.

O modo de funcionamento deste circuito, baseia-se numa corrente PTAT  $I_B$ , gerada através dos transistores  $M_1$ ,  $M_2$ ,  $M_3$  e  $M_4$ , e pela resistência  $R_1$ . Uma vez que os transistores se encontram a operar na região de inversão fraca, a corrente  $I_B$  pode ser dada pela expressão:

$$I_B = nV_T \frac{1}{R_1(T)} \ln \left( \frac{P_2 P_3}{P_4 P_1} \right) \quad (3.18)$$

A dependência de uma resistência com a temperatura é dada por:

$$R(T) = R(T_0) [1 + \theta_R (T - T_0)] \quad (3.19)$$

$I_B$  pode ser dada em função de uma temperatura por:

$$I_B = \frac{T}{T_0} \frac{1}{1 + \theta_R (T - T_0)} I_B(T_0) \approx \frac{T}{T_0} I_B(T_0) \quad (3.20)$$

A corrente  $I_B$  é obtida na resistência  $R_2$  e no transistor  $M_6$ , que se encontra ligado em forma de díodo, através do espelho formado pelos transistores  $M_1$  e  $M_5$ . A queda de tensão nestes elementos gera a tensão de referência  $V_R$ , dada através da expressão:

$$V_R(T) = R_2(T) \frac{P_5}{P_1} I_B(T) + V_{GS6}(T) \quad (3.21)$$

Onde:

$$V_{GS6}(V) = [V_{TH}(T_0) + \alpha_{VTH} T_0] \left(1 - \frac{T}{T_0}\right) + V_{GS6}(T_0) \left(\frac{T}{T_0}\right) + (1 - \alpha) n V_T \ln\left(\frac{T}{T_0}\right) \quad (3.22)$$

Nesta expressão,  $\alpha$  é um parâmetro que relaciona a corrente com a temperatura. Da equação (3.21) e relacionando-a com (3.18), a tensão de referência  $V_R$  pode então ser expressa em função das dimensões dos dispositivos:

$$V_R(T) = V_{GS6}(T) + n V_T \frac{R_2(T_0) P_5}{R_1(T_0) P_1} \ln\left(\frac{P_2 P_3}{P_4 P_1}\right) \quad (3.23)$$

De observar que o segundo termo da expressão (3.23) aumenta com a temperatura, ao contrário de  $V_{GS6}$  que decresce com a temperatura. Assim dependendo do tamanho dos transístores escolhidos, pode ser encontrado um ponto, onde a dependência com a temperatura será minimizada.

A condição que define a mínima dependência com a temperatura, é dada por:

$$\frac{R_2(T_0) P_5}{R_1(T_0) P_1} \ln\left(\frac{P_2 P_3}{P_4 P_1}\right) = \frac{V_{TH}(T_0) + \alpha_{VTH} T_0 - V_{GS6}(T_0)}{n V_T} - (1 - \alpha) \quad (3.24)$$

Uma vez esta otimização tenha sido alcançada, a tensão de referência  $V_R$  será dada pelo valor da tensão de limiar  $V_{TH}$  somada com outros parâmetros do processo CMOS:

$$V_R(T) = V_{TH}(T_0) + \alpha_{VTH} T_0 - (1 - \alpha) n V_T \left[1 - \ln\left(\frac{T}{T_0}\right)\right] \quad (3.25)$$

De notar, que como o parâmetro  $\alpha$  para MOSFETs a operar na região de inversão fraca é menor que 1, a variação da tensão de referência terá uma forma côncava.

### 3.3.3.1 – Simulações

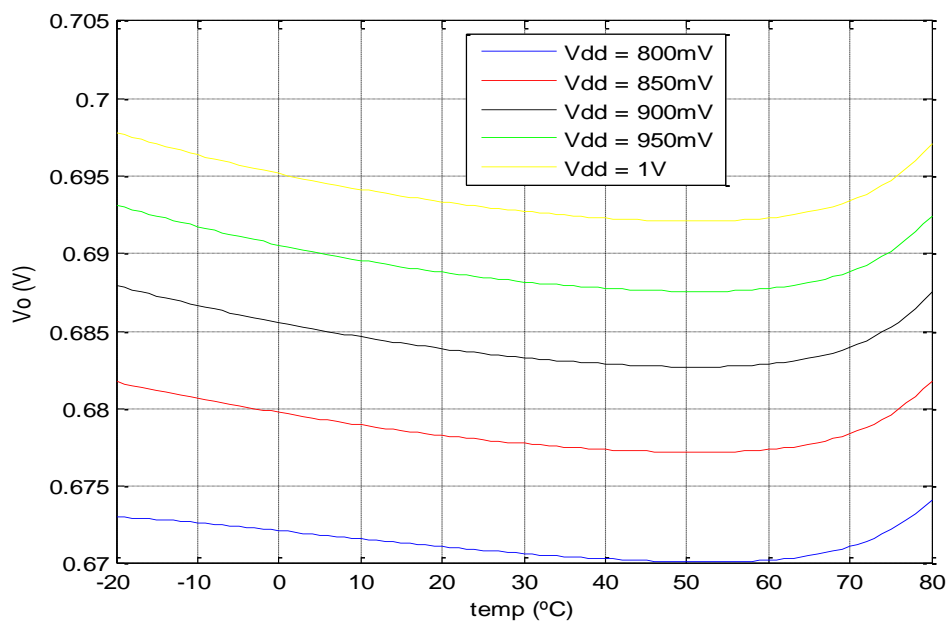
Os componentes utilizados para a simulação deste circuito, encontram-se na Tabela 3.8

Componentes	M <sub>1</sub> , M <sub>2</sub> , M <sub>4</sub> W(μm)/L(μm)	M <sub>3</sub> W(μm)/L(μm)	M <sub>5</sub> , M <sub>6</sub> W(μm)/L(μm)	R <sub>1</sub> (KΩ)	R <sub>2</sub> (KΩ)	C <sub>S</sub> (pf)
Valor	190/1	1900/1	380/1	200	520	1

**Tabela 3.8** – Valores dos componentes do circuito.

Para a obtenção dos melhores valores a usar nas resistências, as quais se encontram na Tabela 3.8, foram realizadas análises paramétricas.

### 3.3.3.2 – Resultados das simulações

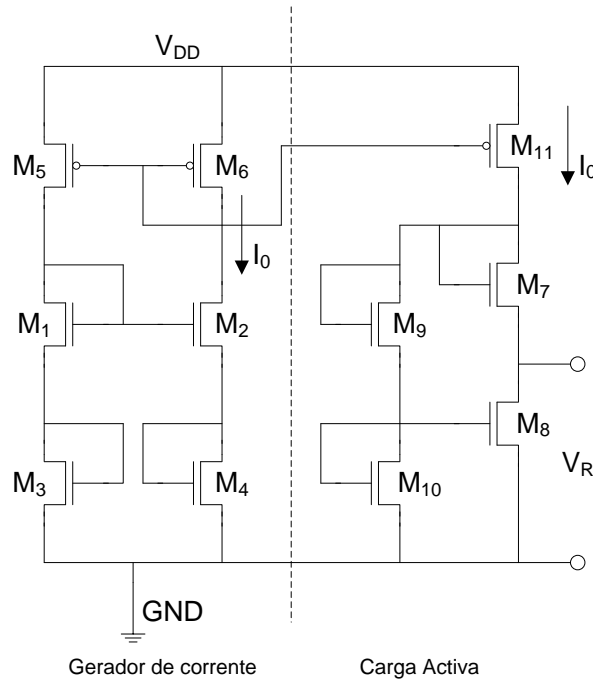


**Figura 3.16** –  $V_R$  do circuito.

O que se pode constatar da análise à Figura 3.16, é que a fonte de tensão de referência apresenta variações na tensão de referência ao longo da gama de temperaturas estudada, de cerca de 5mV. E que ao contrário dos circuitos anteriormente simulados, a alimentação foi reduzida para valores que variam apenas entre os 800mV e 1V.

### 3.3.4 – Simulação da fonte de tensão de referência a operar na região de inversão fraca

O circuito esquemático da fonte de tensão de referência a operar na região de inversão fraca [13] encontra-se representado na Figura 3.17.



**Figura 3.17** – Esquemático da fonte de tensão de referência a operar na região de inversão fraca (*subthreshold*).

O princípio de funcionamento deste circuito, já foi descrito anteriormente na Secção 2.4.6. Esta fonte de tensão de referência tem como principais vantagens em relação aos circuitos previamente estudados, não apresentar nem transístores bipolares, nem resistências na sua constituição, apenas transístores CMOS, reduzindo assim consideravelmente a área ocupada.

### 3.3.4.1 – Simulações

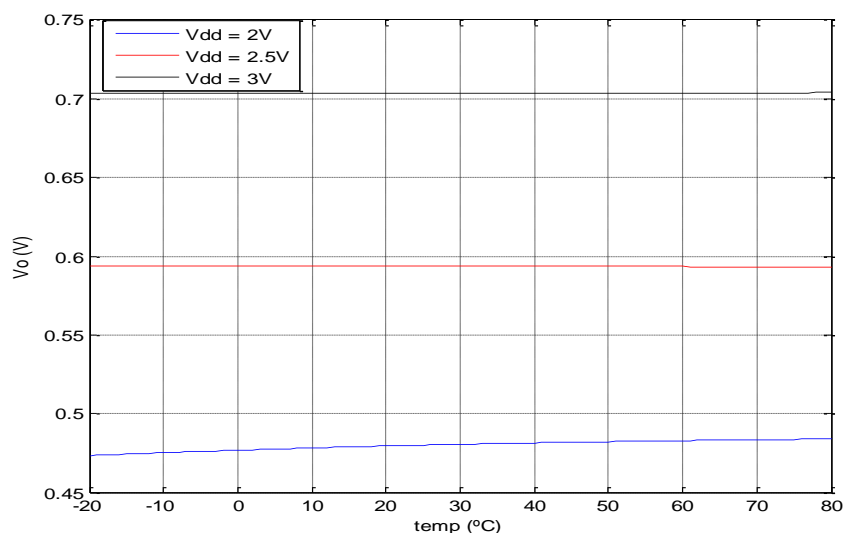
Para obedecer às regiões de funcionamento dos MOSFETs anteriormente descritas, foram então levadas em conta algumas condições. Por forma, a evitar a modulação do comprimento do canal nos transístores  $M_5$  e  $M_6$ , o seu comprimento do canal  $L$ , não deve ser muito pequeno. Como os transístores  $M_1$  e  $M_2$  devem operar na região de inversão fraca e os transístores  $M_3$  e  $M_4$  na região de saturação, implica que a tensão  $V_{GS}$  nos transístores  $M_3$  e  $M_4$  tem que ser maior que nos transístores  $M_1$  e  $M_2$ . Como todos estes transístores têm a mesma corrente  $I_D$ , logo a relação  $W/L$  nos transístores  $M_1$  e  $M_2$  tem que ser maior que a relação  $W/L$  nos transístores  $M_3$  e  $M_4$ .

A Tabela 3.9 representa o dimensionamento dos transístores adoptado para a simulação esquemática da fonte de tensão de referência.

Transístor	$M_1, M_2$	$M_3, M_4$	$M_5, M_6, M_{11}$	$M_7, M_8$	$M_9, M_{10}$
$W(\mu m)/L(\mu m)$	25.5/1	0.4/4.5	0.4/0.45	0.4/3	0.4/1.9

**Tabela 3.9** – Dimensões dos transístores da fonte de tensão de referência a operar na região de inversão fraca (*subthreshold*).

### 3.3.4.2 – Resultados das simulações



**Figura 3.18** – Variação da tensão de referência com a temperatura da fonte de tensão de referência a operar na região de inversão fraca (*subthreshold*).

Pela observação da Figura 3.18, pode-se reparar que a fonte de tensão de referência se comporta muito eficientemente quando a variação da alimentação se encontra entre os 2,5V e os 3V, apresentando uma variação ao longo da temperatura perto dos 0.7mV. Quando a alimentação se encontra perto dos 2V, esta demonstra um comportamento menos eficiente, com uma variação na tensão de referência ao longo da temperatura perto dos 7mV.

### 3.4 – Comentário final

Pelo que foi observado através do circuito da fonte de tensão de referência com compensação da modulação do comprimento do canal, pode-se concluir que as análises paramétricas efectuadas ao circuito permitem que este obtenha um desempenho superior, do que no caso em que os valores das resistências foram calculadas analiticamente. Por desempenho superior, deve entender-se não a variação de tensão que apresenta ao longo da gama de temperaturas testada, a qual é bastante similar em ambos os casos, mas sim em relação à tensão de saída. Nos casos em que as resistências foram calculadas analiticamente a tensão de referência não se centra nos pontos esperados (0.2 V, 0.4 V, 0.8 V e 1.2 V), mas sim numa tensão um pouco superior. O circuito testado apresenta também um bom desempenho quando alargamos a gama de temperaturas de teste, mostrando mesmo um funcionamento muito eficiente dos -50°C aos 110°C.

De seguida encontra-se uma tabela, com os resultados obtidos na simulação deste circuito e com os resultados obtidos em [28],

	[28]	Este trabalho	Unidades
Tecnologia	TSMC 0.18 $\mu$ m	AMS 0.35 $\mu$ m	
Tensão nominal	224	203	mV
Sensibilidade da $V_R$ com $V_{DD}$	3	2	mV/V
Sensibilidade da $V_R$ com a temperatura	6	0.8	mV <sub>p-p</sub>

**Tabela 3.10** – Comparação entre os valores obtidos na simulação deste trabalho e em [28].

De referir que existem algumas diferenças que devem ser levadas em conta na observação da Tabela 3.10. Enquanto, que neste trabalho foram realizadas simulações com a temperatura a variar entre os  $-20^{\circ}\text{C}$  e os  $80^{\circ}\text{C}$  e com a alimentação a variar entre 1.5V e 3V, em [28], as simulações foram realizadas com a temperatura a variar entre  $20^{\circ}\text{C}$  e  $120^{\circ}\text{C}$ , com a alimentação a variar dos 0.9V aos 2.5V. Mesmo assim, pode-se concluir que a sensibilidade da  $V_R$  com a variação da alimentação é algo semelhante em ambos os circuitos, enquanto, que a sensibilidade da  $V_R$  com a variação da temperatura é bastante inferior no circuito aqui simulado.

Em relação à fonte de tensão de referência baseada numa PTAT de corrente, é de notar que apresenta um desempenho muito elevado. Para todas as tensões de referência testadas, nunca ultrapassou os 2mV de variação máxima. Sendo que para 0.2V teve uma variação máxima dos 1.5V aos 3V de alimentação, de apenas 0.32mV. Através da Figura 3.14, pode-se observar, que o circuito tem também um ótimo comportamento quando é alargada a gama de temperaturas, apresentando-se muito eficiente desde os  $-50^{\circ}\text{C}$  aos  $110^{\circ}\text{C}$ .

De seguida encontra-se uma tabela, com os resultados obtidos na simulação deste circuito e com os resultados obtidos em [14],

	[14]	Este trabalho	Unidades
Tecnologia	CMOS 1.2 $\mu\text{m}$	AMS 0.35 $\mu\text{m}$	
Fonte de alimentação	1.2	1	V
Tensão nominal	295.3	195.5	mV
Sensibilidade da $V_R$ com a temperatura	5	0.3	mV <sub>p-p</sub>

**Tabela 3.11** – Comparação entre os valores obtidos na simulação deste trabalho e em [14].

Para se tentar fazer uma comparação entre os resultados obtidos nas simulações deste trabalho, e dos resultantes de [14], não se deve deixar de prestar atenção de que as tecnologias utilizadas para a simulação dos mesmos são diferentes, e que as gamas de temperatura onde decorreram os testes também são diferentes, sendo que neste trabalho, mais uma vez foram entre  $-20^{\circ}\text{C}$  e  $80^{\circ}\text{C}$ , enquanto, que em [14] variam entre os  $-25^{\circ}\text{C}$  e os  $125^{\circ}\text{C}$ . Mesmo assim, olhando para a Tabela 3.11, pode-se afirmar que os resultados obtidos neste trabalho mostram uma menor sensibilidade da  $V_R$  com a temperatura.

Relativamente à fonte de tensão de referência baseada na tensão de limiar, pode-se concluir que se trata de um circuito mais pequeno, e com muito baixo consumo de potência. Não apresenta tão bons resultados como os do circuito que lhe deram origem, uma vez que apresenta variações de 5mV na tensão de saída, com a variação de temperatura entre os  $-20^{\circ}\text{C}$  e os  $80^{\circ}\text{C}$  e uma variação da alimentação dos 800mV ao 1V, não sendo também de desprezar.

De seguida encontra-se uma tabela, com os resultados obtidos na simulação deste circuito e com os resultados obtidos em [29],

	[29]	Este trabalho	Unidades
Tecnologia	TSMC 0.35 $\mu\text{m}$	AMS 0.35 $\mu\text{m}$	
Fonte de alimentação	900	900	mV
Tensão nominal	514	685	mV
Sensibilidade da $V_R$ com a temperatura	1	4.5	mV <sub>p-p</sub>

**Tabela 3.12** – Comparação entre os valores obtidos na simulação deste trabalho e em [29].

Através da observação da Tabela 3.12, pode-se constatar que os valores obtidos na simulação deste circuito são diferentes dos obtidos em [29]. Esta situação deve-se essencialmente às diferenças das tecnologias utilizadas na simulação do circuito. Tal como foi dito anteriormente, a tensão de referência neste circuito é dada pela tensão de limiar do MOSFET, somada com outros parâmetros do processo CMOS, logo como a tensão de limiar na tecnologia TSMC 0.35 $\mu\text{m}$  é inferior à da tecnologia AMS 0.35 $\mu\text{m}$ , as tensões de referência também serão diferentes. A diferença na sensibilidade da  $V_R$  com a temperatura, também se deve aos diferentes parâmetros das tecnologias.

Tendo em conta a fonte de tensão de referência a operar na região de inversão fraca, pode-se salientar que esta apresenta um bom desempenho quando a alimentação se situa entre os 2.5V e os 3V, tendo uma variação na tensão de referência de apenas 0.7mV ao longo de toda a gama de temperatura estudada. Quando a alimentação se situa perto dos 2V, esta apresenta um desempenho inferior, aumentando a variação da tensão de referência ao longo da gama de temperaturas para os 7mV.



De seguida encontra-se uma tabela, com os resultados obtidos na simulação deste circuito e com os resultados obtidos em [13],

	[29]	Este trabalho	Unidades
Tecnologia	0.35 $\mu$ m	AMS 0.35 $\mu$ m	
Fonte de alimentação	3	3	V
Tensão nominal	891	705	mV
Sensibilidade da $V_R$ com $V_{DD}$	11	220	mV
Sensibilidade da $V_R$ com a temperatura	0.85	0.7	mV <sub>p-p</sub>

**Tabela 3.13** – Comparação entre os valores obtidos na simulação deste trabalho e em [13].

Através da análise da Tabela 3.13, pode-se observar que os resultados obtidos neste trabalho e em [13], são também diferentes. Na simulação deste circuito, a tensão variou entre os 2V e os 3V, enquanto, que em [13] variou entre 1.5V e 4.3V, sendo que a variação de temperatura em ambas as simulações também foi diferente, neste trabalho variou entre -20°C e 80°C, sendo que em [13], variou entre 0°C e 80°C.

Relativamente a estes quatro circuitos referidos nos pontos anteriores, a fonte de tensão de referência com compensação da modulação do comprimento do canal, foi o escolhido para implementar em *layout*. A razão desta escolha baseia-se nos dados obtidos durante o estudo de cada circuito individualmente, sendo que este apresentava as melhores características para esta implementação. Pode-se concluir que a fonte de tensão de referência com compensação da modulação do comprimento do canal e a fonte de tensão de referência baseada numa PTAT de corrente são as que apresentam menores variações da tensão de referência com a variação da temperatura e alimentação, sendo que a escolha deveu-se então à menor ocupação de área por parte da primeira, uma vez que as resistências têm um impacto enorme nesse sentido.

## Capítulo 4

---

### Layout

Um *layout* não é mais do que uma combinação de polígonos, cada um dos quais pertencente a uma certa camada. A funcionalidade ou não do circuito é determinada pela escolha das camadas, assim como, pela sua conjugação entre objectos em diferentes camadas. Tendo como exemplo um MOSFET, o qual é formado por uma secção transversal de uma camada de difusão e uma camada de polisilício. Uma interligação é formada entre as duas camadas de metal através de uma secção transversal entre as duas camadas de metal e uma camada de contacto adicional. Para uma melhor visualização destas relações, a cada uma das camadas é atribuída uma cor diferente.

O *layout* realizado neste capítulo, é um *layout* de um circuito analógico, e por isso convém esclarecer algumas das diferenças entre *layout* de um circuito analógico e o *layout* de um circuito digital.

Um circuito digital é obtido através da interligação de blocos simples. O *layout* dos blocos simples é realizado manualmente, ou com ferramentas automáticas para a construção de uma biblioteca de células simples. A maior tarefa é de seguida colocar as células e os caminhos entre elas. O projectista realiza estes dois passos com a ajuda de poderosas ferramentas CAD (*Computer-Aided Design*), especialmente quando grandes redes têm que ser criadas. O *layout* de um circuito digital é criado com o objectivo de minimizar a área e o atraso do sinal. Por outro lado, o *layout* de um circuito analógico contém redes de menor complexidade. Um dado circuito analógico utiliza as mesmas

células um número limitado de vezes. Portanto o *layout* de circuitos analógicos envolve principalmente a optimização na colocação dos transístores, com uma menor preocupação para as interligações. Sendo os critérios mais importantes, a precisão e a imunidade ao ruído [30].

## 4.1 - Regras de desenho

Todo o tipo de *layout* de circuitos, tem de obedecer normalmente a uma série de regras geométricas, de forma, a poder ser produzido. Estas regras são normalmente chamadas de “regras de desenho”. As regras de desenho normalmente especificam o tamanho mínimo da largura das linhas para objectos físicos, tais como as interligações e as áreas de difusão do metal e do polisilício, dimensões mínimas aceitáveis para estes, e também o seu espaço mínimo de separação. Por exemplo, caso uma linha de metal seja desenhada muito fina, é possível que esta linha possa ser quebrada durante o processo de fabricação ou mesmo depois deste, resultando num circuito aberto. Outro caso é o de duas linhas serem colocadas muito próximas uma da outra no desenho, uma vez que estas podem dar origem a um curto-circuito não desejado através da sua fusão, o que mais uma vez pode acontecer durante o processo de fabricação ou mesmo depois de este estar concluído. O objectivo principal destas regras de desenho encontra-se na obtenção de um alto rendimento global e de uma alta fiabilidade, utilizando a menor área de silício possível.

Note-se também que normalmente existe um compromisso entre:

- i) Melhor rendimento, o qual é obtido através de um *layout* mais conservativo, onde se observa uma maior preocupação com a disposição dos componentes, e que leva a uma maior ocupação de espaço;
- ii) Maior eficiência no aproveitamento da área, a qual é obtida através de um *layout* mais agressivo, isto é, um desenho onde se encontra uma alta densidade de componentes num pequeno espaço de área.

Estas regras de desenho são especificadas para cada modelo de fabricação, apresentando uma boa relação entre estas duas componentes, podendo assim ser obtido um circuito com bom desempenho e com uma pequena ocupação de área de silício. Note-se que estas regras não apresentam uma barreira estrita que separa um *layout* correcto de um *layout* incorrecto. Um *layout* que não obedeça a todas as regras

especificadas nas regras modelo, pode mesmo assim resultar num circuito operacional com um bom desempenho. Por outro lado, um circuito que obedeça a todas as regras modelo, pode resultar num circuito com um desempenho inferior ou mesmo em alguns casos inoperacional.

Estas regras existem apenas para aumentar muito consideravelmente a probabilidade de um circuito fabricado obter o desempenho pretendido.

As regras modelo são normalmente descritas de duas maneiras [7]:

- a) “Regras *mícron*”, as quais se referem a tamanhos mínimos dos componentes e aos tamanhos mínimos para as suas separações, sendo retratadas em termos de dimensões absolutas em micrometros;
- b) “Regras *lambda*”, as quais especificam as restrições do *layout* em termos de um só parâmetro ( $\lambda$ ) permitindo assim, um dimensionamento proporcional à escala de todas as restrições geométricas.

Na medida que os processos se tornam mais complexos, a tarefa do projectista torna-se mais complicada. O projectista deve perceber largamente dos processos de fabrico e também deve saber interpretar as diferentes máscaras. O objectivo na definição das regras de desenho é a de permitir uma rápida tradução de um esquema de um circuito para uma geometria real em silício. Actualmente, as regras de desenho são normalmente especificações muito bem documentadas, listando os tamanhos mínimos dos componentes (linhas de metal, resistências, poços, etc.), distâncias mínimas entre componentes adjacentes, espaçamento necessário para sobreposições de materiais e muitas outras especificações para cada processo [10]. Todas estas regras, que por vezes parecem mesmo sem importância, são muito importantes, senão mesmo imprescindíveis no que toca à sua relação com o desempenho, rendimento e fiabilidade de um circuito futuro.

Embora os tamanhos mínimos, os quais determinam largamente as regras de desenho tenham vindo a diminuir razoavelmente com o tempo, para benefício do desempenho e do custo de produção, é importante que os projectistas adiram às regras de desenho. Todas as grandes empresas da área investem grandes quantias de dinheiro na investigação e produção de *software* sofisticado para a verificação do *layout*.

É natural que depois da criação de um *layout*, este tenha erros descritos nas regras modelo, especialmente nos casos onde os circuitos envolvem centenas, senão

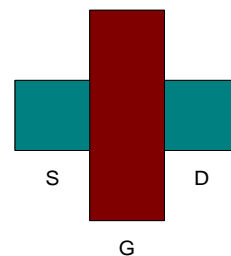
milhares de transístores. E também se tem de levar em conta que uma única violação das regras pode levar a um circuito instável, senão mesmo inoperacional. Assim, uma boa verificação do desenho do circuito é sinónima de uma grande poupança de fundos no futuro.

## 4.2 – Desenho dos componentes

A evolução das tecnologias, nomeadamente através de técnicas de *scaling*, juntamente com a cada vez maior exigência no que se refere ao desempenho e fiabilidade dos circuitos, levou a um estudo intensivo relativamente ao desenho dos componentes. Desde os transístores, às resistências, tudo foi pensado até ao ínfimo pormenor.

### 4.2.1 - Desenho de um transístor

A base do *layout* de um MOSFET, assenta apenas no cruzamento de 2 rectângulos, um feito de polisilício e o outro de difusão, tal como mostra a Figura 4.1.



**Figura 4.1** – Base do *layout* de um MOSFET.

O rectângulo de polisilício define duas áreas distintas no rectângulo de difusão, as quais se denominam de terminais de fonte e de dreno.

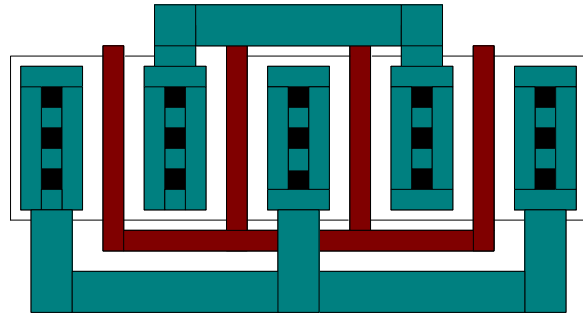
Dependendo da tecnologia escolhida, é necessário realizar a difusão dentro ou fora de um poço para se obter transístores do tipo *n* ou transístores do tipo *p*.

Os dois rectângulos não completam o *layout* do transístor MOS, é necessário também desenhar as ligações eléctricas da fonte, do dreno e da porta ao resto do circuito. Estas ligações são normalmente efectuadas através de linhas de metal, menos frequente, mas também possível, é serem efectuadas de polisilício e de material de difusão.

Para aplicações analógicas, a razão W/L aplicada aos transístores é razoavelmente elevada, o que leva a que seja necessário, uma aplicação de estruturas maiores. Nestes casos, é também importante lembrar que o material de difusão utilizado para a realização dos terminais do dreno e da fonte contém uma resistência associada

não desprezável, por volta dos  $100\Omega/\square$ , o que faz com que alguns quadrados levem a uma resistência de dreno inaceitável. Os contactos devem ser colocados à mínima distância possível uns dos outros, permitida pelas regras modelo. O uso de muitos contactos ao longo da largura do transístor ao invés de apenas um, aumenta a fiabilidade do transístor, uma vez que o uso destes contactos possibilita que todos esses pontos do transístor se encontrem ao mesmo potencial.

Quando a relação W/L do transístor é muito elevada, o *layout* resultante pode tornar-se intratável. Nestes casos, o melhor a fazer, é dividir esse transístor numa ligação paralela de um número N de elementos. Este procedimento designa-se por partir ou dividir o transístor. O desempenho eléctrico da estrutura paralela é equivalente à de um único transístor, no qual a largura é igual à largura total dos elementos em paralelo. Uma exemplificação de um transístor partido pode ser observada na Figura 4.2.



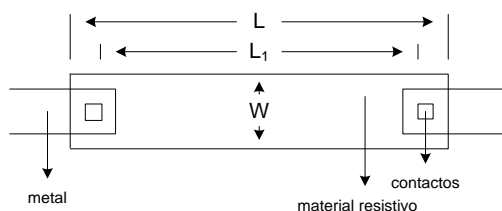
**Figura 4.2** – *Layout* de um transístor partido.

Esta técnica tem ainda vantagens nas capacidades parasitas. Para um único transístor, a capacidade parasita entre a fonte e o substrato  $C_{SB}$ , e a capacidade parasita entre o dreno e o substrato  $C_{DB}$ , são proporcionais à largura W, do transístor. Para transístores divididos,  $C_{SB}$  e  $C_{DB}$  são reduzidas por um factor de  $N+1/2N$  caso N seja ímpar, no entanto, caso N seja par  $C_{SB}$  é reduzido para  $1/2$  enquanto, que  $C_{DB}$  é reduzido por,  $N+2/2N$  [30].

Esta redução nas capacidades é deveras importante para aplicações de alta velocidade. A prática de dividir os transístores em ligações paralelas de um dado número de partes é também útil na correspondência entre elementos.

### 4.2.2 - Desenho de uma resistência

Uma resistência para circuitos integrados é fabricada usando uma das camadas altamente resistivas disponíveis na tecnologia CMOS: difusão ou polisilício [31]. Todas estas camadas têm uma resistência específica,  $R_q$ , que define a resistência por quadrado da camada. A precisão absoluta destas resistências é inferior a 30%, exibindo também pobres coeficientes de temperatura e tensão. A correspondência entre resistências é muito melhor, podendo ser mantida, através de um *layout* cauteloso, abaixo dos 0.1%. A estrutura típica de uma resistência pode ser observada na Figura 4.3, onde uma tira de material resistivo se encontra ligada aos terminais de metal através de dois contactos óhmicos.



**Figura 4.3** – *layout* de uma resistência com contactos na extremidade.

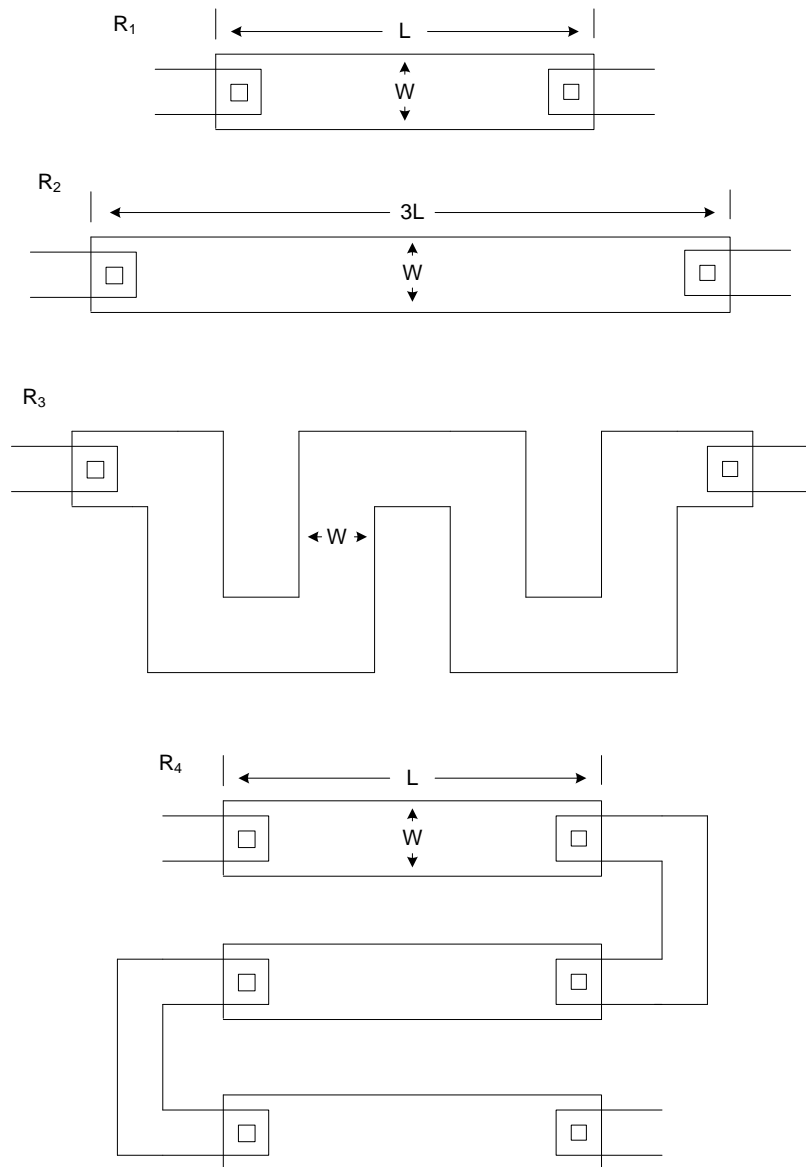
A resistência total  $R_T$  é dada pela expressão [30]:

$$R_T = \left( \frac{W}{L} \right) R_q \quad (4.1)$$

Na qual,  $W$  e o  $L$  são a largura e o comprimento respectivos. Não esquecer, que  $L$  deve ser suficientemente grande, para que a diferença entre  $L$  e  $L_1$  seja insignificante, isto porque  $L - L_1$  é fixado pelas regras modelo.

Muitas aplicações requerem que as razões das resistências sejam cuidadosamente determinadas. Isto é particularmente comum em circuitos analógicos de processamento de sinal, onde os requisitos são de 1%, 0.1% ou mesmo melhores. A área das resistências deve ser suficientemente grande para que os efeitos dos cantos ásperos se tornem desprezáveis, mas por outro lado deve ser suficientemente pequenas para que o circuito seja económico e não cause variações nos valores dos restantes componentes.

De seguida na Figura 4.4, são apresentadas três diferentes maneiras para a realização de uma resistência com a razão de 3:1 em relação a  $R_1$



**Figura 4.4** – Formas de obter a mesma resistência.

- 1- A longa resistência  $R_2$  não pode ser normalmente bem colocada no circuito de uma maneira eficiente relativamente à ocupação de área, e uma vez que o número de contactos não está relacionado em 3:1, limita a precisão de  $R_2/R_1$ .
- 2- O padrão em serpentina utilizado em  $R_3$  é muito comum para se manter o aspecto de uma só resistência. No entanto a dificuldade no cálculo eficiente para os cantos e as diferenças no comprimento periférico, tornam a razão de  $R_3/R_1$  o menos eficiente de todos os esquemas apresentados.



- 3- Neste último esquema, podemos ver que a resistência possui exactamente a razão de 3:1, uma vez que são três resistências iguais a  $R_1$ , e juntando o facto de que os condutores são bons, tornam a serpentina formada pelas três resistências o esquema mais eficiente.

### 4.3 – Planificação e construção do *layout*

A fonte de tensão de referência escolhida para o desenho e teste do *layout* foi a fonte de tensão de referência descrita no ponto 3.3.1. De entre as quatro possibilidades para a tensão de referência (0.2V, 0.4V, 0.8V e 1.2V), optou-se pela fonte de tensão de referência de 0.2V.

Depois de escolhido o circuito, é iniciado o desenho do *layout*. O desenho do *layout* é possibilitado pela ferramenta *Virtuoso Layout Editor*. O editor de *layout* é a ferramenta principal do desenhador, e tem como objectivo primordial a geração de uma representação física do circuito, dada uma topologia do mesmo [12]. O *layout* começou então com uma boa planificação de como e onde seriam colocados os transístores e as resistências.

Olhando para a Tabela 3.1 e para o circuito da Figura 3.2, pode-se observar que alguns dos transístores podem ser agrupados, de acordo com as suas dimensões de  $W$  e  $L$ . Agrupar os transístores sempre que possível, é uma técnica importante. Este permite uma redução da área total do circuito. Esta redução de área acontece na medida em que os drenos e as fontes podem ser partilhados. Os transístores foram agrupados da seguinte forma:  $M_1$  com  $M_2$ ,  $M_3$  com  $M_4$ ,  $M_6$  com  $M_7$  e  $M_{10}$  com  $M_{11}$ .

De seguida foram também acrescentados alguns transístores “*dummy*”, nas extremidades destes grupos. Como temos presente não só transístores partidos, como também transístores agrupados, estes “*dummys*” têm como função garantir que todos os transístores do agrupamento têm as mesmas condições “fronteira”, reduzindo assim a possibilidade de as diferenças que provêm do processo de fabrico influenciarem o seu desempenho final. Um dos parâmetros, que tem especial importância no uso destes transístores é a tensão de limiar, uma vez que no processo de fabrico esta sofre ligeiras variações ao longo da placa.

O passo seguinte foi o de planear a localização dos transístores, para que os do tipo  $p$  ficassem o mais próximo possível dos restantes do tipo  $p$ , e o mesmo relativamente aos do tipo  $n$ .

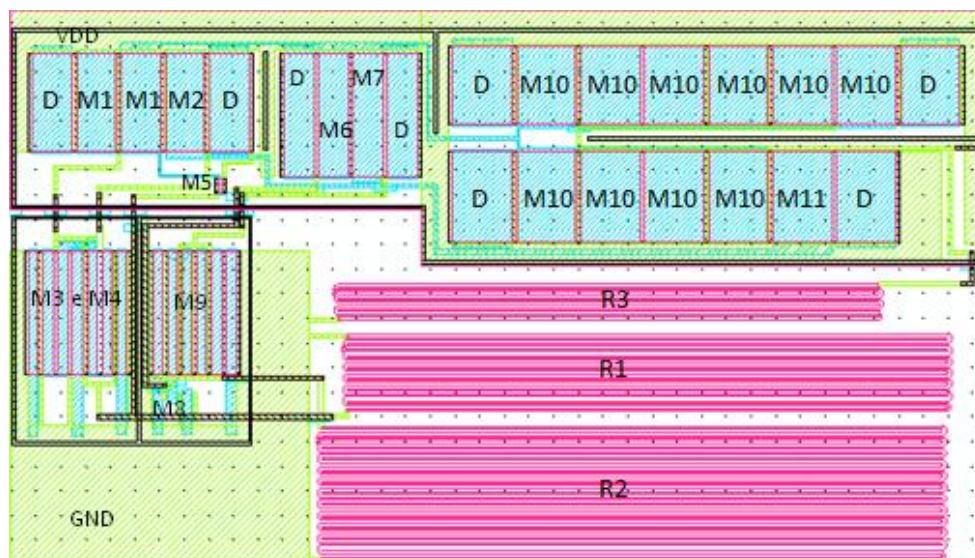
Passada esta fase, veio a de construção dos anéis de guarda. Os anéis de guarda têm como principal função, manter um potencial constante ao longo de toda a sua extensão, e também o de isolar o ruído vindo de outras zonas do circuito. Com estes anéis de protecção, podemos ter a certeza de que a massa vai ser a mesma massa para todos os transístores e o mesmo para a alimentação. Para que isto aconteça, são então colocados contactos ao longo de toda a extensão do anel, sem qualquer falha e sempre à mesma distância, a menor possível designada pelas regras de desenho.

O passo seguinte, é o de calcular as resistências e introduzi-las no desenho. Enquanto o *layout* ia aumentando com a introdução de novos componentes, as suas interligações iam sendo efectuadas para uma melhor gestão da área.

Uma vez todos os componentes no desenho e todas as suas ligações efectuadas criaram-se finalmente os pinos da massa (gnd!), da alimentação (vdd!), e de saída ( $V_R$ ). Como tanto a massa, como a alimentação são consideradas variáveis globais, a designação dos seus pinos tem que ser em letra minúscula e seguida de um ponto de exclamação, já no caso da tensão de saída, o pino pode ser designado como mais convier, desde que compatível com o designado no esquemático correspondente.

Todas as interligações de metal utilizadas foram desenhadas com as dimensões mínimas, uma vez que as correntes que circulam pelo circuito são extremamente baixas.

O *layout* final pode ser observado na Figura 4.5, onde também se encontra demonstrada a posição dos componentes.



**Figura 4.5** – *Layout* da versão extraída da fonte de tensão de referência com a disposição dos componentes.

## 4.4 – Testes

Depois do *layout* desenhado, é necessário proceder à sua verificação. Assegurar que nenhuma das regras da tecnologia é violada, é um requisito fundamental. Se alguma regra for quebrada, quase de certeza que levará a um mau funcionamento do circuito. Esta tarefa torna-se muito mais complexa, quando falamos de circuitos que podem conter muitos milhares de transístores.

A verificação do circuito é realizada em 3 passos: DRC (*Design Rule Check*), Extracção parâmetros e LVS (*Layout Vs. Schematic*).

### 4.4.1 - DRC

Tal como já foi referido, as regras modelo são uma série de restrições que se devem ter em atenção no desenho de um *layout*. São elas que garantem uma grande probabilidade de o circuito funcionar como planeado. O requisito principal de um *layout* é que ele obedeça a este conjunto de regras pré-estabelecidas. Esta tarefa pode ser muito facilitada com a ajuda de um DRC, que utiliza como variáveis de entrada o *layout* físico do circuito e a descrição das regras no formato de um ficheiro da tecnologia. Dado que um circuito complexo pode conter milhões de polígonos que têm que ser verificados, a eficiência é a propriedade mais importante de uma boa ferramenta DRC. A verificação de um grande circuito integrado pode levar horas ou mesmo dias. Uma maneira de poupar tempo é fazer com que caso uma célula seja usada várias vezes, seja verificada apenas uma [12].

### 4.4.2 - Extracção do circuito

O segundo passo, denomina-se de extracção dos parâmetros do circuito. Esta extracção é outra ferramenta muito importante na metodologia de desenho de *layout*. É o circuito extractor, que deriva um circuito esquemático de um *layout* físico. Ao varrer as várias camadas e suas interacções, o extractor reconstrói a rede de transístores, incluindo, os seus correctos tamanhos e suas interligações. O circuito produzido (*Extracted*) contém ainda informação acerca das capacidades parasitas do circuito (mediante escolha do parâmetro na extracção), tais como capacidades nas ligações e nas resistências. Isto permite uma simulação e análise mais precisa [12].

### 4.4.3 – LVS

A ferramenta LVS (*Layout Vs. Schematic*), tal como o nome indica, tem como função comparar a vista do esquemático com a vista do *layout*. Esta comparação é feita através da *netlist* obtida da extracção do *layout* com a *netlist* do esquemático, de modo a comprovar que o *layout* construído é uma réplica autêntica da célula esquemática. Se tudo correr bem e não houver erros, é criada a célula *analog\_extracted*. Esta célula é a que vai ser utilizada para a simulação do dispositivo.

## 4.5 – Simulações

Ao circuito *layout* da Figura 4.5, foram efectuadas três simulações distintas (cmostm, cmoswp e comsww). Estas simulações pertencem a um grupo de simulações designado por WCA (*Worst Case Analysis*). Este tipo de simulações é normalmente utilizado na verificação do desempenho de circuitos integrados que contêm transístores MOS ou BJT.

### 4.5.1 – PVT

Na técnica PVT (*Process Voltage Temperature*), que foi a utilizada na simulação do circuito da Figura 4.5, cada parâmetro do transístor é independentemente simulado com o seu pior valor possível. Uma vez todos os piores valores que os parâmetros podem tomar tenham sido calculados, o computador simula o circuito com esses mesmos valores. Este tipo de simulação é muito conservativa e pessimista, uma vez que a probabilidade de tal combinação é extremamente improvável. Tão pessimista, que são muito poucos os casos em que os circuitos passam em todos os testes com um bom desempenho [7]. Mesmo assim, é um teste útil para uma simulação rápida dos piores casos que o circuito poderá obter.

Os tipos de testes disponibilizados para a tecnologia AMS 350nm são:

Cmostm: para os valores típicos dos parâmetros;

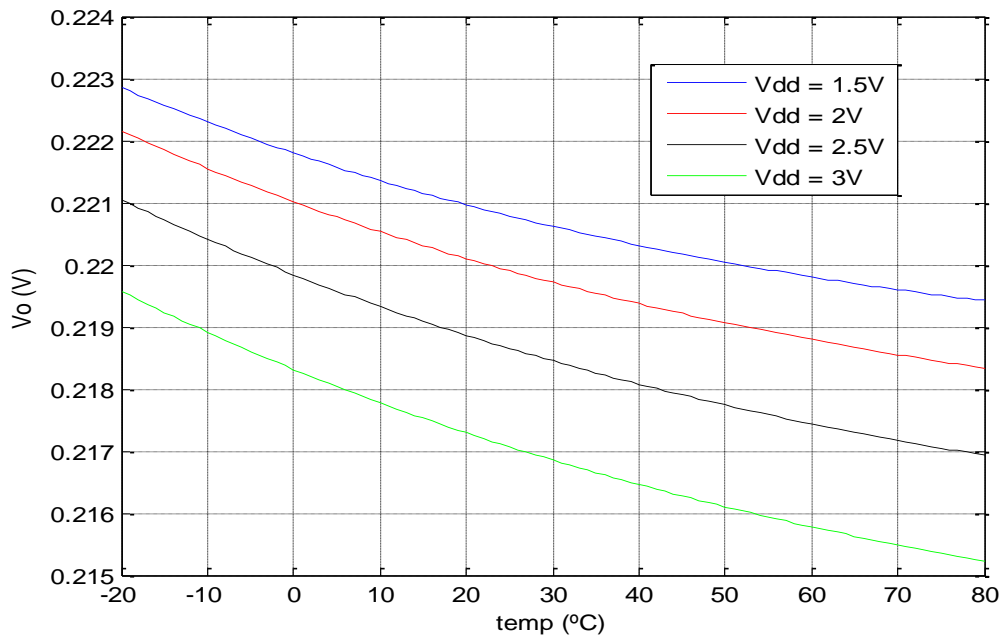
Cmosws: para o pior caso de velocidade, onde os transístores são mais lentos que o normal;

Cmoswp: para o pior caso de potência, onde os transístores são mais rápidos, mas consomem uma potência superior ao normal;

Cmoswo: simulação onde os transístores do tipo  $p$  são mais lentos que o normal, e os transístores do tipo  $n$  mais rápidos que o normal;

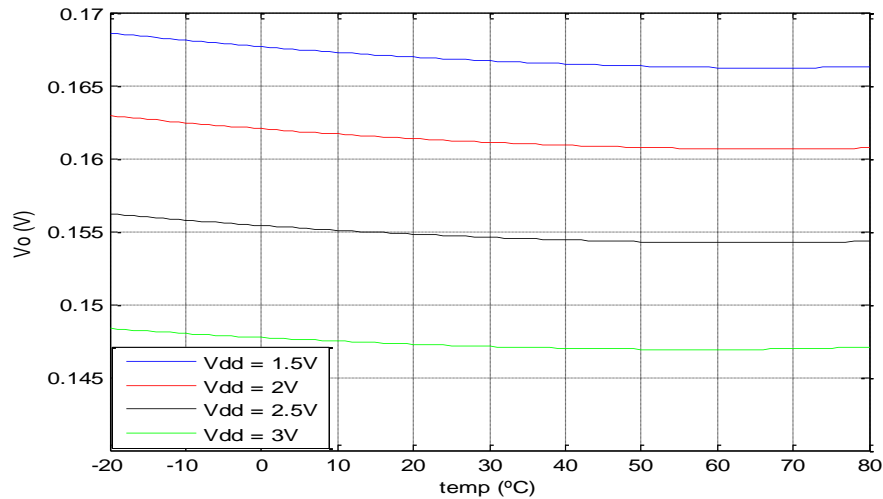
Cmoswz: simulação onde os transístores do tipo  $n$  são mais lentos que o normal, e os transístores do tipo  $p$  mais rápidos que o normal;

### 4.5.2 – Resultados das simulações após extracção



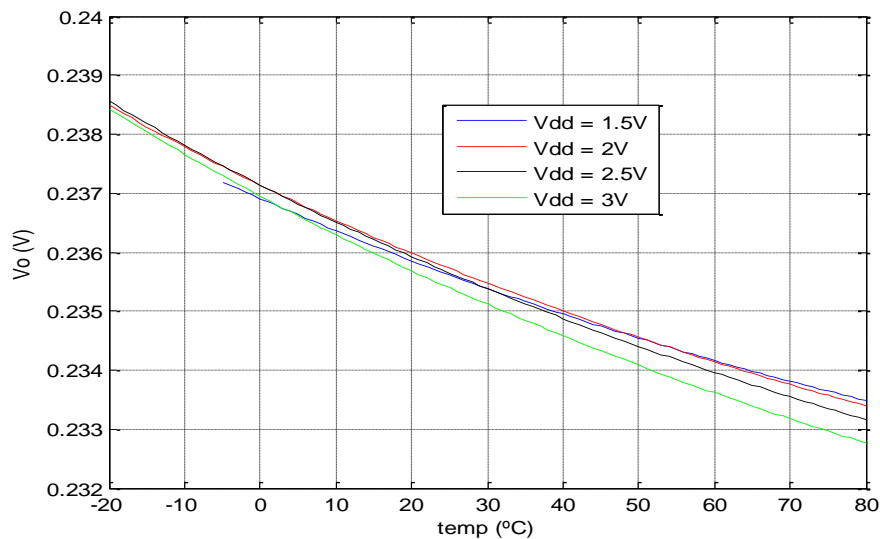
**Figura 4.6** – Simulação nas condições típicas (tm).

Pela análise da Figura 4.6, pode-se reparar que o comportamento do circuito não foi de acordo com o esperado, tendo a sua variação com a temperatura aumentado muito comparativamente com a variação obtida na simulação do esquemático. Esta variação pode dever-se a que o circuito esquemático, não foi simulado nem com os transístores *Dummy*, nem com os transístores partidos, os quais podem trazer correntes de fuga ao circuito, que inicialmente não foram levadas em conta.



**Figura 4.7** – Simulação nas piores condições de consumo de potência (wp).

Em relação à Figura 4.7, onde o circuito foi testado nas piores condições de consumo de potência, onde os transístores são mais rápidos, mas consomem uma potência superior ao normal, pode-se concluir que a tensão de referência se situa um pouco abaixo do que era esperado, tendo por outro lado melhorado o seu desempenho com a variação da temperatura comparativamente com o caso típico (tm).



**Figura 4.8** – Simulação nas piores condições de velocidade (ws).

Em relação à Figura 4.8, onde o circuito foi testado mediante as piores condições de velocidade, onde os transístores são mais lentos que o normal. Pode-se concluir que a tensão de referência se encontra mais elevada que o esperado e a variação do seu valor com a temperatura também aumentou em relação ao caso típico (tm).

## 4.6 – Comentário final

Neste capítulo foi descrito o objectivo do *layout*, a sua obtenção e a sua verificação. Foram descritas algumas regras que permitem uma boa optimização do *layout*, proporcionando circuitos mais rentáveis devido a uma menor ocupação de área e fiáveis, já que foram tomadas as medidas de modo a minimizar os erros que pudessem ocorrer.

Como pode ser visto pela Figura 4.6, o resultado final do circuito, não foi tão bom, quanto o esperado através da simulação do circuito esquemático. Este resultado tem a ver, com algumas condições diferentes do que tinha sido inicialmente simulado. A primeira das razões, é que o circuito esquemático, não foi simulado nem com os transístores *Dummy*, nem com os transístores partidos, os quais podem trazer correntes de fuga ao circuito, que inicialmente não foram levadas em conta. A segunda razão que pode ter tido uma ligeira influência nos resultados obtidos, prende-se ao facto do valor exacto das resistências. Uma vez que como as resistências são definidas pela sua largura e comprimento, por vezes é difícil ajustar estes parâmetros de forma a ter o valor exacto pretendido.

Na Figura 4.7, que contempla o caso das piores condições de potência (wp), onde são simulados transístores com características mais rápidas que o típico, e com um consumo de potência acima do normal. Podemos observar que a tensão de referência se situa um pouco abaixo do que era esperado, tendo por outro lado melhorado o seu desempenho com a variação da temperatura comparativamente com o caso típico (tm).

Quanto à Figura 4.8, que simula o caso das piores condições de velocidade (ws), onde os transístores têm parâmetros mais lentos que o típico a nível de velocidade. Pode-se observar que a tensão de referência se encontra mais elevada que o esperado e a variação do seu valor com a temperatura também aumentou em relação ao caso típico (tm).

Sendo de relembrar que nestas duas últimas simulações, para além dos parâmetros dos transístores terem sido simulados para algumas das suas piores condições, junta-se também as razões dadas anteriormente para o caso típico (tm).

Na Tabela 4.1 pode-se observar algumas das diferenças entre os resultados obtidos neste trabalho comparativamente com o original [28].

	[28]	Este trabalho	Unidades
Tecnologia	TSMC 0.18 $\mu\text{m}$	AMS 0.35 $\mu\text{m}$	
Tensão nominal	221	219	mV
Sensibilidade da $V_R$ com $V_{DD}$	2	2	mV/V
Sensibilidade da $V_R$ com a temperatura	6	4	mV <sub>p-p</sub>

**Tabela 4.1** – Comparação entre este trabalho e o original.

De referir que existem algumas diferenças que devem ser levadas em conta na observação da Tabela 4.1. Para além da tecnologia ser diferente, neste trabalho foram realizadas simulações com a temperatura a variar entre os -20°C e os 80°C e com a alimentação a variar entre 1.5V e 3V, em [28], as simulações foram realizadas com a temperatura a variar entre 20°C e 120°C, com a alimentação a variar dos 0.9V aos 2.5V.





## Capítulo 5

---

### Conclusões

Neste trabalho foram avaliados alguns dos circuitos já existentes para fontes de tensão de referência. Foi visto que a maioria das fontes de tensão de referência recorre preferencialmente a MOSFETs, sendo que a compensação dos efeitos com a variação de temperatura é de mais difícil alcance, mas de um desempenho superior. A região de inversão fraca é tida como a predilecta para a obtenção destes circuitos devido ao seu menor consumo de potência. A diminuição na área dos circuitos comparativamente com os BJTs é também uma das principais razões para o crescente aumento na sua utilização. Com a diminuição do tamanho das tecnologias, que se tem vindo a verificar, menores serão as tensões de limiar destes circuitos, obrigando assim a um constante estudo das características destes circuitos.

Quanto ao trabalho a nível global, é de notar que este foi suportado por uma grande parte de teoria, que se encontra descrita no decorrer de todos os capítulos. Este estudo iniciou-se com uma sucinta introdução sobre a tecnologia CMOS e o MOSFET, seguindo depois para um estudo dos circuitos já existentes. Dentro do desenho de circuitos integrados, foram enumerados alguns dos cuidados que se deve ter na criação de um *layout*, não só no que se refere a regras de desenho, mas também a nível do desenho de componentes que possam integrar um circuito integrado.

A nível de simulação, de notar que os circuitos analisados apresentaram um bom desempenho, tendo em conta que estes circuitos foram testados na tecnologia AMS 350nm, tecnologia diferente da dos circuitos originais.

Como conclusão do trabalho foi criado o *layout* de um dos circuitos estudados previamente, sendo que se puderam tirar as conclusões de que o cumprimento das regras de desenho pode não significar que o circuito é 100% fiável, uma vez que parasitas podem causar desvios significativos na performance do circuito, e por isso devem ser optimizadas. Alguns dos componentes parasitas que se podem encontrar são:

- a) Resistências associadas com o polisilício e regiões dopadas dos semicondutores quando usadas como condutores;
- b) Capacidades associadas a qualquer cruzamento entre um qualquer condutor e o substrato;
- c) Transístores *Dummy*, que acrescentam correntes de fuga ao circuito;

Infelizmente, mesmo com boas regras de desenho, o valor dos componentes parasitas podem ser significativos, o que algumas das vezes leva a um diferente funcionamento do circuito, relativamente ao que era esperado.

## 5.1 – Linhas de investigação futuras

Relativamente ao estudo presente nesta dissertação, são apresentadas de seguida algumas sugestões que devem ser exploradas no futuro, por forma, a que a sensibilidade das fontes de tensão de referência com a temperatura e com a alimentação possam ser minimizadas.

Como se pôde concluir deste estudo, os comportamentos de uma tecnologia para a outra podem variar devido à consequente alteração nos seus parâmetros, o que tem um impacto enorme na sensibilidade de algumas das suas características. Deste modo, seria muito interessante um estudo onde fosse efectuada uma análise semelhante à deste trabalho, mas com fontes de tensão de referência em tecnologias de 130nm e 90nm. Este trabalho teria também que ser acompanhado por um estudo das propriedades do transístor nestas tecnologias, uma vez que à medida que as tecnologias vão avançando os parâmetros dos transístores também vão sendo alterados.

# Bibliografia

1. J. E. Lilienfeld, U. S. Patent 1,745,175; 1930.
2. O. Heil, British Patent 439,457; 1935.
3. J. S. Kilby, “Miniaturized Electronic Circuits”, U. S. Patent 3138743, February 6, 1959.
4. R. N. Noyce, “Semiconductor Device-and-Lead Structure”, U. S. Patent 2981877, July 30, 1959.
5. G. E. Moore, “Cramming more components onto integrated circuits,” *Electronics*, pp. 114–117, Apr. 19, 1965.
6. I. M. Filanovsky and A. Allam, “Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits”, *IEEE Trans. Circuits Syst. I*, vol. 48, pp. 876-884, July 2001.
7. S. M. Kang and Y. Leblebici, *CMOS Digital Integrated Circuits: Analysis and Design*, McGraw Hill, 1996.
8. Y. P. Tsividis, “Operation and Modeling of the MOS Transistor”, New York: McGraw-Hill, 1987.
9. N. H. E. Weste and K. Eshraghian, “Principles of CMOS VLSI Design: A Systems Perspective, Second Edition”, Addison-Wesley Publishing Company, 1993.
10. R. L. Geiger, P. E. Allen and N. R. Strader, “VLSI Design Techniques for Analog and Digital Circuits”, McGraw Hill International Editions, 1990.
11. H. Shichman and D. A. Hodges, “Modeling and Simulation of Insulated-Gate-Field-Effect Transistor Switching Circuits”, *IEEE Journal of Solid-State Circuits*, Vol. SC-3, No. 3, pp. 285–288, September 1968.
12. J. M. Rabaey, A. Chandrakasan and B. Nikolic, “Digital Integrated Circuits: A Design Perspective”, Second Edition, Internacional Edition, Prentice Hall Electronics and VLSI Series, 2003.
13. G. De Vita, G. Iannaccone and P. Andreani, “A 300 nW, 12 ppm/°C Voltage Reference in a Digital 0.35μm CMOS Process”, *VLSI Circuits Digest of Technical Papers*, 2006.
14. G. Giustolisi, G. Palumbo, M. Criscione and F. Cutri, “A Low-Voltage Low-Power Voltage Reference Based on Subthreshold MOSFETs”, *IEEE J. Solid-State Circuits*, vol. 38, no. 1, January 2003.

15. L. Stotts, "Introduction to Implantable Biomedical IC Design", IEEE Circuits and Devices Magazine, pp. 12-18 January 1989.
16. D. P. Foty, "MOSFET Modeling with SPICE", Upper Saddle River, NJ: Prentice-Hall, 1997.
17. S. M. Sze, "Physics of Semiconductor Devices", 2<sup>nd</sup> ed. New York: Wiley, 1981.
18. F. M. Klaassen and W. Hes, "On the temperature coefficient of the MOSFET threshold voltage", Solid State Electron, vol. 29, no. 8, pp. 787-789, 1986
19. K. R. Laker and W. M. C. Sansen, "Design of Analog Integrated Circuits and Systems", New York: McGraw-Hill, 1994.
20. H. C. Lin et al., "Complementary MOS-Bipolar Transistor Structure", IEEE Transactions on Electron Devices, Vol. ED-16, No. 11, pp. 945-951, November 1969.
21. R. J. Widlar, "New Developments in IC Voltage Regulators", IEEE J. of Solid-State Circuits, vol.SC-6, no. 1, pp. 2-7, February 1977.
22. I. Lee, G. Kim, and W. Kim, "Exponential curvature-compensated BiCMOS bandgap references", IEEE J. Solid-State Circuits, vol. 29, pp. 1396-1403, Nov. 1994.
23. B. S. Song and P. R. Gray, "A precision curvature-compensated CMOS bandgap reference", IEEE J. Solid-State Circuits, vol. SC-18, pp. 634-643, Dec. 1983.
24. G. A. Rincon-Mora and P. E. Allen, "A 1.1-V current-mode and piece-wise-linear curvature-corrected bandgap reference", IEEE J. Solid-State Circuits, vol. 33, pp. 1551-1554, Oct. 1998.
25. S. R. Lewis and A. P. Brokaw, "Curvature correction of bipolar bandgap references", "U. S. Patent 4 808 908, Feb. 28, 1989.
26. J. M. Audy, "Bandgap voltage reference circuit and method with low TCR resistor in parallel with high TCR and in series with low TCR portions of tail resistor", U. S. Patent 5 291 122, Mar. 1, 1994.
27. K. N. Leung, P. K. T. Monk and C. Y. Leung, "A 2-V 23 $\mu$ A 5.3-ppm/ $^{\circ}$ C Curvature-Compensated CMOS Bandgap Voltage Reference", IEEEJ. Solid-State Circuits, vol. 38, no. 3, March 2003.
28. P. H. Huang, H. Lin and Y.T. Lin, "A Simple Subthreshold CMOS Voltage Reference Circuit With Channel-Length Modulation Compensation", IEEE Transactions on Circuits, vol. 53, no. 9, September 2006.

29. L. H. C. Ferreira and T. C. Pimenta, "A CMOS Voltage Reference Based on Threshold Voltage for Ultra Low-Voltage and Ultra Low-Power", In: ICM 2005 - 17th International Conference on Microelectronics, 2005, Islamabad, Proceedings of 17th International Conference on Microelectronics, 2005. p. 10-12.
30. M. Ismail and Terri Fiez, "ANALOG VLSI: Signal and Information Processing", McGraw-Hill Series in Electrical and Computer Engineering, 1994.
31. P. R. Gray and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits – 2<sup>nd</sup> Ed.", J. Wiley & Sons, New York 1984.